

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor: : Seiji FUNABA, et al.
Filed : Concurrently herewith
For : MEMORY MODULE AND
Serial No. : Concurrently herewith

July 28, 2003

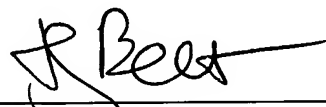
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2002-222771** filed **July 31, 2002**, a copy of which is enclosed.

Respectfully submitted,



Thomas J. Bean
Reg. No. 44,528

Katten Muchin Zavis Rosenman
575 Madison Avenue
New York, NY 10022-2585
(212) 940-8800
Docket No.: NEKO 20.511

日 本 国 特 許 庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月31日

出 願 番 号

Application Number:

特願2002-222771

[ST.10/C]:

[JP2002-222771]

出 願 人

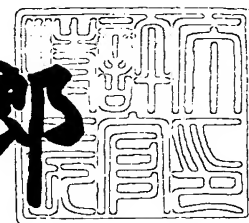
Applicant(s):

エルピーダメモリ株式会社

2003年 6月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047979

【書類名】 特許願
【整理番号】 22310225
【提出日】 平成14年 7月31日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 5/00
G06F 1/18
G06F 3/00
G06F 13/16

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式
会社内

【氏名】 船場 誠司

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式
会社内

【氏名】 西尾 洋二

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式
会社内

【氏名】 柴田 佳世子

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114028

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリモジュール及びメモリシステム

【特許請求の範囲】

【請求項 1】

バスラインを共有する複数のメモリデバイスを基板上に備え、

前記バスラインは、複数の前記メモリデバイスの端子をスタブレス構造にて接続し、前記バスラインの端部が終端されてなる、ことを特徴とするメモリモジュール。

【請求項 2】

前記バスラインの少なくとも一部が、ストリップラインで構成されてなる、ことを特徴とする請求項 1 記載のメモリモジュール。

【請求項 3】

前記バスラインの実効的な特性インピーダンスが、前記メモリモジュールを搭載するマザーボードの配線の特性インピーダンスに整合されてなる、ことを特徴とする請求項 1 記載のメモリモジュール。

【請求項 4】

複数の前記メモリデバイスの少なくとも一つが、終端回路を内蔵したメモリデバイスよりなり、

前記終端回路を内蔵したメモリデバイスが、前記バスライン端部の終端を行う、ことを特徴とする請求項 1 記載のメモリモジュール。

【請求項 5】

表面及び裏面の少なくとも 1 方に、バスラインを共有する複数のメモリデバイスを有する基板を備え、

前記基板において、前記バスラインはビアホールを介してストリップラインの一端に接続され、

前記基板上の前記複数のメモリデバイスの端子は、それぞれビアホールを介して前記ストリップラインに接続され、

前記ストリップラインの他端は、ビアホールを介して、基板表面又は基板裏面に設けられている、終端回路、又は終端回路を内蔵したメモリデバイスの端子に

接続され、終端されている、ことを特徴とするメモリモジュール。

【請求項 6】

基板表面のメモリデバイスの端子と基板裏面のメモリデバイスの端子とが、交互に、前記ストリップラインに、ビアホールを介して配線されている、ことを特徴とするメモリモジュール。

【請求項 7】

前記メモリデバイスが、前記バスラインに接続される前記メモリデバイスの端子に、一端が接続された終端抵抗の他端と終端電圧との間に接続されたトランスファゲートを備え、前記トランスファゲートをオンすることで、前記バスラインの終端を行うオンチップターミネータを備えている、ことを特徴とする請求項 1 又は 4 記載のメモリモジュール。

【請求項 8】

前記メモリデバイスが、前記バスラインに接続される前記メモリデバイスの端子に一端が接続された第 1 の終端抵抗の他端と高電位側電源電圧との間に接続された第 1 のトランスファゲートと、

前記バスラインに接続される前記メモリデバイスの端子に一端が接続された第 2 の終端抵抗の他端と低電位側電源電圧との間に接続された第 2 のトランスファゲートと、を備え、前記第 1 及び第 2 のトランスファゲートをオンすることで、前記バスラインの終端を行う構成とされてなるオンチップターミネータを備えている、ことを特徴とする請求項 1 又は 4 記載のメモリモジュール。

【請求項 9】

表面及び裏面に、バスラインを共有する複数のメモリデバイスを有する基板を備え、

前記バスラインは、第 1 のモジュール端子から、前記基板表面上を、前記第 1 のモジュール端子から離間して位置するビアホールまで延在され、前記ビアホールを介して第 1 のストリップラインの一端に接続され、

前記基板表面に搭載されたメモリデバイスの端子はビアホールを介して前記第 1 のストリップラインに接続され、

前記第 1 のストリップラインは一の方向に延在され、前記一端と反対側の他端

が、折返し用のビアホールを介して、第 2 のストリップラインの一端に接続され

、
前記第 2 のストリップラインは前記一の方向と逆の方向に延在されており、
前記基板裏面に搭載されたメモリデバイスの端子はビアホールを介して前記第 2 のストリップラインに接続され、

第 2 のモジュール端子に近接して基板裏面上に配設されている終端回路を備え

、
前記終端回路はビアホールを介して、折り返された前記第 2 のストリップラインの他端に接続されている、ことを特徴とするメモリモジュール。

【請求項 1 0】

前記バスラインの折り返し点付近に、前記バスラインを構成する前記ストリップラインを間に挟む電源とグランド層をバスコンで接続し、及び／又は、共通の電源層間又はグランド層間を短絡してなる、ことを特徴とする請求項 9 記載のメモリモジュール。

【請求項 1 1】

スタブレスで接続される、複数の前記メモリデバイスの信号端子を、バス上の 1 点で接続してなる、ことを特徴とする請求項 1 記載のメモリモジュール。

【請求項 1 2】

表面及び裏面にバスラインを共有する複数のメモリデバイスを有する基板を備え、

前記バスラインは、第 1 のモジュール端子から、前記基板表面上を、前記第 1 のモジュール端子から離間して位置するビアホールまで延在され、前記ビアホールを介してストリップラインの一端に接続され、前記ストリップラインの他端がビアホールを介して基板表面又は基板裏面に設けられた終端回路に接続され、

基板表面及び基板裏面に互いに対応して実装されている 2 つのメモリデバイスのそれぞれに対して、前記ストリップラインは、前記ストリップラインの一点から表面及び裏面側にそれぞれ延在されたビアホールを介して、前記 2 つのメモリデバイスの端子に接続されている、ことを特徴とするメモリモジュール。

【請求項 1 3】

表面及び裏面にバスラインを共有する複数のメモリデバイスを有する基板を備え、

前記バスラインは、第 1 のモジュール端子から、前記基板表面上を、前記第 1 のモジュール端子から離間して位置するビアホールまで延在され、第 1 のストリップラインの一端にビアホールを介して接続され、

前記第 1 のストリップラインは一の方向に延在され、前記一端と反対側の他端は、折返し用のビアホールを介して、第 2 のストリップラインの一端に接続され、

前記第 2 のストリップラインは前記一の方向と逆の方向に延在されており、

第 2 のモジュール端子に近接して基板裏面上に配設されている終端回路を備え、

前記終端回路は前記第 2 のストリップラインの他端にビアホールを介して接続されており、

表面及び裏面に互に対応して実装されている 2 つのメモリデバイスのそれぞれに対して、第 1 のストリップライン又は第 2 のストリップラインの一点から、基板表面及び基板裏面側にそれぞれ延在されたビアホールを介して、前記 2 つのメモリデバイスの端子に接続されている、ことを特徴とするメモリモジュール。

【請求項 1 4】

基板面上に配設されている複数の前記メモリデバイスに対して、前記第 1 のストリップラインと前記第 2 のストリップラインから交互に基板表面及び基板裏面側にそれぞれ延在されているビアホールを介して前記メモリデバイスの端子に接続されている、ことを特徴とする請求項 1 3 記載のメモリモジュール。

【請求項 1 5】

前記バスラインに接続され、信号変換を行うレジスタを、前記メモリモジュールを構成する基板上に備えたことを特徴とする請求項 1 記載のメモリモジュール。

【請求項 1 6】

表面及び裏面にバスラインを共有する複数のメモリデバイスを有する基板を備え、

前記バスラインは、第 1 のモジュール端子から、前記基板表面上を、前記第 1 のモジュール端子から離間して位置するビアホールまで延在され、前記ビアホールを介して第 1 のストリップラインの一端に接続され、前記第 1 のストリップラインの他端はビアホールを介して、基板表面の信号変換用のレジスタの入力端子に接続され、信号変換用のレジスタの出力端子は、ビアホールを介して、第 2 のストリップラインの一端に接続され、前記第 2 のストリップラインの他端は、折返し用の第 3 のビアホールを介して、第 3 のストリップラインの一端に接続され、

前記第 3 のストリップラインは前記第 2 のストリップラインと逆の方向に延在されており、

第 2 のモジュール端子に近接して基板裏面上に配設されている終端回路を備え、

前記終端回路はビアホールを介して前記第 3 のストリップラインの他端に接続されている、ことを特徴とするメモリモジュール。

【請求項 1 7】

前記メモリデバイスが、メモリチップのパッドと、前記基板との電氣的接続を行うパッケージ基板を有し、

前記パッケージ基板は、前記パッケージ基板内での前記バスラインの信号配線としてストリップラインを有する、ことを特徴とする請求項 1 記載のメモリモジュール。

【請求項 1 8】

前記メモリモジュールを、マルチチップモジュールとして構成されてなる、ことを特徴とする請求項 1 記載のメモリモジュール。

【請求項 1 9】

前記メモリモジュールの基板が、複数の基板に分割されて構成されており、複数の前記基板間が、それぞれ基板間接続手段で相互に接続されている、ことを特徴とする請求項 1 乃至 1 7 のいずれか一に記載のメモリモジュール。

【請求項 2 0】

表面及び裏面に、バスラインを共有する複数のメモリデバイスを有するメモリ

モジュールの基板を、少なくとも2つの基板に分割して構成し、前記基板間が基板間接続手段で、相互に接続されており、

前記2つの基板のうち第1の基板は、マザーボードにコネクタを介して接続され、前記第1の基板において、前記バスラインはビアホールを介して第1のストリップラインの一端に接続され、前記第1の基板表面に搭載されたメモリデバイスの端子はビアホールを介して前記第1のストリップラインに接続され、前記第1のストリップラインの他端は、ビアホール、及び、前記基板間接続手段を介して、前記第2の基板に接続され、

前記第2の基板において、前記バスラインはビアホールを介して第2のストリップラインの一端に接続され、前記第2の基板表面に搭載されたメモリデバイスの端子はビアホールを介して前記第2のストリップラインに接続され、

前記第2のストリップラインの他端は、折返し用のビアホールを介して、第3のストリップラインの一端に接続され、前記第2の基板裏面に搭載されたメモリデバイスの端子はビアホールを介して前記第3のストリップラインに接続され、

前記第3のストリップラインの他端は、ビアホール、及び、前記基板間接続手段を介して前記第1の基板に接続され、

前記第1の基板において、前記バスラインはビアホールを介して第4のストリップラインの一端に接続され、前記第1の基板裏面に搭載されたメモリデバイスの端子はビアホールを介して前記第4のストリップラインに接続され、前記第4のストリップラインの他端はビアホールを介して基板上の終端回路に接続されている、ことを特徴とするメモリモジュール。

【請求項21】

前記メモリデバイス、及び／又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記バスラインの少なくとも1つの双方向信号に対して双方向性の入出力端子を有する代わりに、入力端子と出力端子とを有し

前記バスラインには、双方向信号配線の代わりに、前記入力端子と前記出力端子とにそれぞれ接続される、一方向性の入力信号配線と出力信号配線とが設けられている、ことを特徴とする請求項1乃至18のいずれか一に記載のメモリモジ

ユーロ。

【請求項 2 2】

基板表面及び裏面に、バスラインを共有する複数のメモリデバイスを有するメモリモジュールにおいて、前記メモリデバイス、及び／又は前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記バスラインの少なくとも 1 つの双方向信号に対して双方向性の入出力端子を有する代わりに、入力端子と出力端子とを有し、

前記バスラインには、双方向信号配線の代わりに、前記入力端子と前記出力端子とにそれぞれ接続される一方向性の入力信号配線と出力信号配線とが設けられており、

前記基板において、一方向性の第 1 の信号配線は、ビアホールを介して第 1 のストリップラインの一端に接続され、前記基板表面及び／又は裏面に搭載されたメモリデバイスの入力端子はビアホールを介して前記第 1 のストリップラインに接続され、

一方向性の第 2 の信号配線は、ビアホールを介して第 2 のストリップラインの一端に接続され、前記基板表面及び／又は裏面に搭載されたメモリデバイスの出力端子はビアホールを介して前記第 2 のストリップラインに接続されている、ことを特徴とするメモリモジュール。

【請求項 2 3】

基板表面及び／又は裏面に複数のメモリデバイスを有し、

少なくとも 1 部が、前記基板内の電源層とグランド層間に埋設されるストリップラインを用いて配線されており、末端が、前記基板上に設けられた終端回路で終端されてなるバスラインを有するメモリモジュールを有し、

前記メモリモジュールに対して、コマンド／アドレス信号及びデータ信号の受け渡しを行うメモリコントローラを有するマザーボード上に、コネクタを介して、前記メモリモジュールが装着されており、

前記メモリモジュールは、1 本のデータ信号について、複数の前記メモリデバイスのデータ端子間を、前記ストリップラインを用いて、スタブレスに接続し、前記バスラインの実効的特性インピーダンスが、前記マザーボードの配線の特性

インピーダンスと整合されてなる、ことを特徴とするメモリシステム。

【請求項 2 4】

複数のモジュール端子が設けられている前記基板の一侧から、前記基板の前記一侧と反対の他側に延在されるバスラインが、前記基板の一侧から他側にストリップラインで延在され、ストリップラインの前記他側の端部が、ビアホールを介して折り返され、終端装置が、終端端子に近接して配設されている、ことを特徴とする請求項 2 3 記載のメモリシステム。

【請求項 2 5】

請求項 1 乃至 2 2 のいずれかに記載の前記メモリモジュールを有し、
前記メモリモジュールの前記バスラインがデータ信号のバスラインを含み、
前記メモリモジュールの前記メモリデバイスに、コマンド／アドレス信号を与え、前記メモリデバイスとの間でデータ信号の転送を行うメモリコントローラと

を備え、

前記メモリコントローラとスロット間のデータ配線をポイント・ツー・ポイント (Point to Point) 接続してなる、ことを特徴とするメモリシステム。

【請求項 2 6】

前記データ配線の前記メモリコントローラとスロット間の少なくとも 1 部を、ストリップラインで接続してなる、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 2 7】

前記データ配線間にシールドを有する、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 2 8】

前記メモリコントローラと 2 つのスロット間を、T 分岐 (T-branch) 接続してなる、少なくとも 1 つの信号配線を含む、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 2 9】

前記信号配線が、コマンド／アドレス信号である、ことを特徴とする請求項 2

8 記載のメモリシステム。

【請求項 3 0】

前記データ配線が、前記メモリコントローラ側と、前記メモリモジュール側の両側で終端されてなる、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 3 1】

1 つのチャンネルを複数のスロットに分割してなる、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 3 2】

前記メモリモジュールが、基板上に終端回路を内蔵するメモリデバイスを備え、前記基板表面と前記基板裏面に、前記基板を間に挟んで、相対して配置される 2 つのメモリデバイスが前記バスラインに共通に接続され、前記 2 つのデバイスのうち、アクセスもしくはドライブされない方のメモリデバイスで前記バスラインを終端する、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 3 3】

基準電圧 (V_{ref}) を、前記メモリコントローラと、終端しているメモリデバイスを用いて生成する構成とされている、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 3 4】

前記メモリモジュールが、前記メモリコントローラが取り付けられたマザーボードに、前記コネクタを介して接続され、

前記コネクタが、前記メモリモジュールを、前記マザーボード表面に平行な方向で挿入する構成のバタフライ型コネクタよりなる、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 3 5】

前記メモリモジュールが、前記メモリコントローラが取り付けられたマザーボードに前記コネクタを介して接続され、

前記メモリモジュール及び／又は前記コネクタが、冷却手段を備えている、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 3 6】

前記メモリコントローラが、基準電圧を生成する論理閾値電圧出力回路を備え

、
前記論理閾値電圧出力回路から出力される前記基準電圧は、基準電圧配線にて
、前記メモリモジュールに接続され、

前記メモリモジュールにおいて、前記バスライン末端の終端回路を内蔵するメモリデバイスのオンチップターミネータが前記基準電圧配線に接続されており、

前記バスラインに接続されているメモリデバイスの基準電圧端子は前記基準電圧配線に接続されており、

前記論理閾値電圧出力回路は、出力回路のプッシュプル型ドライバ回路と同一構成のプッシュプル型ドライバ回路を有し、前記プッシュプル型ドライバ回路の入力端子と出力端子を接続してなる、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 3 7】

前記メモリコントローラが、基準電圧を生成する論理閾値電圧出力回路を備え

、
前記論理閾値電圧出力回路から出力される前記基準電圧は、基準電圧配線にて
、前記メモリモジュールに接続され、

前記メモリモジュールにおいて、前記バスライン末端の終端回路を内蔵するメモリデバイスのオンチップターミネータが前記基準電圧配線に接続されており、

前記バスラインに接続されているメモリデバイスの基準電圧端子は前記基準電圧配線に接続されており、

前記メモリコントローラが、オープンドレイン型のドライバを備えた出力回路を有し、

前記オープンドレイン型のドライバのゲート端子は、内部信号を受け取りレベル変換を行うレベル変換回路の出力端子に接続され、

前記論理閾値電圧出力回路は、前記出力回路と同一構成とされ、入力端子と出力端子を接続した前記レベル変換回路を備え、

前記レベル変換回路の出力が、前記基準電圧出力用のオープンドレイン型のドライバのゲート端子に接続されている、ことを特徴とする請求項 2 5 記載のメモ

リシステム。

【請求項 3 8】

マザーボード上に、前記バスラインに接続され、信号変換を行うレジスタを備えている、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 3 9】

前記メモリデバイス、及び／又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記バスラインの少なくとも一つの双方向信号に対して双方向の入出力端子を有するかわりに、入力端子と出力端子とを有し、

前記バスラインには、前記メモリデバイス及び又は前記レジスタの前記入力端子と前記出力端子とにそれぞれ接続される一方向性の入力信号配線と出力信号配線とが設けられ、

マザーボード上の前記メモリコントローラが、前記メモリデバイス及び又は前記レジスタの入力端子と出力端子の信号に対応して、出力端子と入力端子を有し、

前記メモリコントローラの前記出力端子と前記入力端子と、前記メモリデバイス、及び／又は前記レジスタの前記入力端子と前記出力端子とが、それぞれ、一方向性の配線で、ポイント・ツー・ポイント (Point to Point) 接続されている、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 4 0】

前記メモリデバイス、及び／又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記バスラインの少なくとも一つの双方向信号に対して 1 つの入出力端子を設ける構成をとらず、入力端子と出力端子とを別々に有し、

前記バスラインには、前記メモリデバイス及び又は前記レジスタの前記入力端子と前記出力端子とにそれぞれ接続される一方向性の入力信号配線と出力信号配線とが設けられ、

マザーボード上の前記メモリコントローラが、前記メモリデバイス及び又は前記レジスタの入力端子と出力端子の信号に対応して、出力端子と入力端子を有し、

前記メモリコントローラと、複数の前記メモリモジュールのスロット間で、一方向性の入力信号配線と出力信号配線とにより、デイジーチェーン接続されている、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 4 1】

前記メモリデバイス、及び／又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記バスラインの少なくとも一つの双方向信号に対して 1 つの入出力端子を設ける構成をとらず、入力端子と出力端子とを別々に有し、

前記バスラインには、前記メモリデバイス及び又は前記レジスタの前記入力端子と前記出力端子とにそれぞれ接続される一方向性の入力信号配線と出力信号配線とが設けられ、

マザーボード上の前記メモリコントローラが、前記メモリデバイス及び又は前記レジスタの入力端子と出力端子の信号に対応して、出力端子と入力端子を有し、

前記メモリコントローラの前記出力端子又は前記入力端子と、始端の前記メモリモジュールに搭載されたメモリデバイス及び／又は前記レジスタの前記入力端子又は前記出力端子とが、それぞれ、一方向性の配線で接続され、

前記メモリモジュール間では、一のスロットの前記メモリデバイス及び／又は前記レジスタの出力端子及び入力端子がコネクタと一方向性の配線で、隣りのスロットの前記メモリデバイス及び／又は前記レジスタの入力端子及び出力端子とにそれぞれ接続され、

末端のスロットの前記メモリデバイス及び／又は前記レジスタの出力端子又は入力端子は、前記マザーボードの一方向性の配線を介して前記メモリコントローラの前記入力端子又は前記出力端子に接続される、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 4 2】

前記メモリデバイス、及び／又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、コネクタを介して接続されるマザーボード上の前記メモリコントローラとの間で、前記バスラインの少なくとも 1 つ信号の伝送

を、差動で行う、ことを特徴とする請求項 2 5 記載のメモリシステム。

【請求項 4 3】

前記バスラインにおいて、前記信号を差動で伝送する複数の配線対のうち、少なくとも 1 組の配線対が、前記メモリコントローラから前記コネクタまでは、互いに相補の第 1、第 2 の配線の順で配設されており、

前記コネクタから前記メモリモジュール内では、前記配線対の第 1、第 2 の配線の配置が交換され、前記第 2、第 1 の配線の順で、配設されている、ことを特徴とする請求項 4 2 記載のメモリシステム。

【請求項 4 4】

複数組の配線対について、前記メモリコントローラと前記コネクタ間と、前記コネクタから前記メモリモジュール内とで、相補信号対の相互の配置が交換されている第 1 の配線対と、

前記メモリコントローラと前記コネクタ間と、前記コネクタから前記メモリモジュール内とで、相補信号対の相互の配置が交換されていない第 2 の配線対とが、交互に配置されている、ことを特徴とする請求項 4 2 記載のメモリシステム。

【発明の詳細な説明】

【0 0 0 1】

【従来の技術】

本発明は、メモリシステム及びメモリモジュールに関する。

【0 0 0 2】

【従来の技術】

図 1 4 (a) 乃至図 1 4 (c) は、従来の高速メモリインタフェースの典型的な構成を示す図である。

【0 0 0 3】

(1) Point to Point (ポイント・ツー・ポイント) 型

図 1 4 (a) に示すように、メモリコントローラ 1 4 0 2 と、メモリ 1 4 0 1 (終端内蔵型 D R A M) 間を介して、ポイント・ツー・ポイント (Point to Point) 接続したものである。モジュール基板 1 4 1 0 において、D R A M (Dynamic Random Access Memory) 1 4 0 1 は、基板 1 4 1 0 の両面に配設され、基

板 1 4 1 0 表面の D R A M 1 4 0 1 の D Q 端子は、スルーホールで、裏面の D R A M 1 4 0 1 の D Q 端子に接続されている。D Q 信号は、配線の末端の終端内蔵型 D R A M 1 4 0 1 の終端回路で終端される。

【 0 0 0 4 】

この構成は、高速信号伝送が可能である反面、メモリの配置場所が 1 点だけ（バス端）に制限されるので、メモリ容量が大きくできない、という問題点がある。

【 0 0 0 5 】

（ 2 ） 従来型スタブレス型

図 1 4 （ b ） に示すように、メモリコントローラ 1 4 0 2 とメモリ（ D R A M ） 1 4 0 1 間を、コネクタ 1 4 0 4 を介してスタブレス（ stubless ）（信号伝送上、分布定数線路とみなせる長い配線による分岐がない）接続したものである。

【 0 0 0 6 】

図 1 4 （ b ） の構成には、マザーボード 1 4 0 6 上に、コネクタ 1 4 0 4 があるため、メモリの増設が可能である。図 1 4 （ b ） では、 3 スロット設けられており、配線は、マザーボード 1 4 0 6 上の終端抵抗 1 4 0 5 で終端される。

【 0 0 0 7 】

図 1 4 （ b ） に示す構成では、信号がコネクタ 1 4 0 4 を通過する回数が、スロット数の 2 倍となり、信号悪化が増大する。したがって、大容量メモリを搭載するために、スロット数を増やすと、信号波形の悪化が大きくなる、という問題がある。

【 0 0 0 8 】

（ 3 ） 直付けスタブレス型

図 1 4 （ c ） に示すように、メモリ 1 4 0 1 をマザーボード 1 4 0 7 上に直付けし、メモリコントローラ 1 4 0 2 とメモリ 1 4 0 1 間をコネクタを介さずにスタブレス接続したものである。

【 0 0 0 9 】

図 1 4 （ c ） に示す構成では、高速信号伝送、大容量メモリの搭載が可能である。メモリ 1 4 0 1 がマザーボード 1 4 0 7 に直付けされているので、メモリ増

設(メモリ容量の変更)ができないという問題がある。

【 0 0 1 0 】

【発明が解決しようとする課題】

したがって、本発明は、上記問題点に鑑みて創案されたものであって、その主たる目的は、信号のコネクタ通過を最小限に抑え、メモリ増設等メモリ容量の変更を可能とし、高速信号伝送、大容量メモリ搭載を可能とするメモリモジュール及びメモリシステムを提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上記目的を達成する本発明に係るメモリモジュールは、バスラインを共有する複数のメモリデバイスを備え、前記バスラインは、複数のメモリデバイスの端子をスタブレス構造、すなわち一筆書き構造にて接続し、前記バスラインの端部が終端されてなるものである。

【 0 0 1 2 】

本発明に係るメモリモジュールにおいて、前記バスラインの少なくとも一部が、ストリップラインで構成されている。

【 0 0 1 3 】

本発明に係るメモリモジュールにおいて、前記バスラインは、マザーボードの特性インピーダンスに整合される。

【 0 0 1 4 】

本発明に係るメモリモジュールにおいて、複数の前記メモリデバイスの少なくとも一つが、終端回路を内蔵したメモリデバイスよりなり、前記終端回路を内蔵したメモリデバイスが、前記バスライン端部の終端を行う構成とされる。

【 0 0 1 5 】

本発明に係るメモリモジュールにおいて、モジュール基板表面及び裏面のメモリデバイスが、交互に前記ストリップラインにビアホール接続されている。

【 0 0 1 6 】

本発明に係るメモリモジュールにおいて、前記バスラインの折り返し点付近に、前記バスラインを構成する前記ストリップラインを間に挟む電源ーグランド層

間をパソコンで接続するか、もしくは、共通の電源／グランド層間を短絡されている。

【 0 0 1 7 】

本発明に係るメモリモジュールにおいて、スタブレスで接続される、前記複数メモリデバイスの信号端子は、バス上の1点で接続されている。

【 0 0 1 8 】

本発明に係るメモリモジュールにおいて、前記バスラインに接続され、信号変換を行うレジスタを基板上に備えている。

【 0 0 1 9 】

本発明に係るメモリモジュールにおいて、前記メモリデバイスが、パッケージ基板のピンと、メモリチップの間の配線として、ストリップラインを有する。

【 0 0 2 0 】

本発明に係るメモリモジュールにおいて、前記メモリモジュールをマルチチップモジュールとして形成されている。

【 0 0 2 1 】

本発明に係るメモリシステムにおいては、前記したメモリモジュールのバスラインがデータ信号のバスラインよりなり、前記メモリモジュールのメモリデバイスに、コマンド／アドレス信号を与え、メモリデバイスとの間でデータ信号の転送を行うメモリコントローラと、を備え、前記メモリコントローラとスロット間のデータ配線が、ポイント・ツー・ポイント (Point to Point) 接続されている。

【 0 0 2 2 】

本発明に係るメモリシステムにおいては、前記データ配線のメモリコントローラとスロット間の少なくとも1部が、ストリップラインで接続されている。

【 0 0 2 3 】

本発明に係るメモリシステムにおいては、前記データ配線間にシールドを有する。

【 0 0 2 4 】

本発明に係るメモリシステムにおいては、前記メモリコントローラと、2つの

スロット間の、コマンドアドレス信号配線が、T分岐 (T-branch) 接続されている。

【 0 0 2 5 】

本発明に係るメモリシステムにおいては、前記データ配線が、前記メモリコントローラ側と、前記メモリモジュールの両側で終端されている。

【 0 0 2 6 】

本発明に係るメモリシステムにおいては、1つのチャネル (1つのDQ信号) が複数のスロットに分割されている。

【 0 0 2 7 】

本発明に係るメモリシステムにおいては、前記メモリモジュールが、基板上に終端回路を内蔵するメモリデバイスを備え、2 Rank (表裏デバイスでバスを共有) で集中負荷にしたものであり (メモリコントローラと前記メモリデバイス間が、ポイント・ツー・ポイント (Point to Point) 型バスと等しくなる)、アクセスもしくはドライブされない方のメモリデバイスで終端する。

【 0 0 2 8 】

本発明に係るメモリシステムにおいては、基準電圧 (V_{ref}) を前記メモリコントローラと、終端しているメモリデバイスで生成する構成とされている。

【 0 0 2 9 】

本発明に係るメモリモジュールにおいては、前記メモリモジュール基板を、複数の基板に分割して構成し、複数の基板間同士をそれぞれ、例えばフレキシブルフィルム等の基板間接続手段で相互に接続する構成としてもよい。

【 0 0 3 0 】

本発明に係るメモリモジュールにおいては、前記メモリデバイス、及び／又は前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、バスラインの少なくとも一つの双方向信号に対して双方向性の入出力端子を有する構成をとらず、入力端子と出力端子とを別々に有し、バスラインには、双方向性信号配線のかわりに、入力端子と出力端子とに接続される一方向性の入力信号配線と、出力信号配線がそれぞれ別々に設けられている。

【 0 0 3 1 】

本発明に係るメモリシステムにおいては、前記メモリデバイス、及び／又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記コネクタを介して接続される前記マザーボード上の前記メモリコントローラとの間で、前記バスラインの少なくとも1つ信号の伝送を差動で行うようにしてもよい。

【0032】

【発明の実施の形態】

本発明の実施の形態について説明する。まず、本発明の原理を説明し、つづいて本発明の実施例について詳細に説明する。

【0033】

本発明者らは、1.2Gbps級高速メモリインタフェースのバス構成を鋭意検討し、本発明者らは、メモリモジュール上に直付けスタブレス型を構築することによって、信号のコネクタ通過を最小限に抑え、メモリ増設(容量変更)、高速信号伝送、大容量メモリ搭載を可能とする全く新規な構成を創案した。

【0034】

本発明に係るバス構成においては、終端を持つ基板直付けのスタブレスメモリバスを、ストリップラインを用いて、メモリモジュール(図4の1)上に構築し、該メモリモジュール(1)を、メモリコントローラ(図4の2)を有するマザーボード(図4の3)上に、コネクタ(図4の4)を介して装着している。つまり、メモリモジュール(1)は、1本のデータ信号において、複数のメモリ(115)の端子間を、ストリップラインを用いて、スタブレス(一筆書き)接続し、末端を、メモリモジュール(1)上で終端する構成としたバスラインを有し、該バスラインの実効的特性インピーダンスを、マザーボード(3)の配線の実効特性インピーダンスと整合させている。

【0035】

さらに、本発明に係るバス構成においては、基板の一辺に、モジュール端子群(111)を持ち、基板の別の辺の方向に延在されているバスラインが、リターン電流が分断されないように、折り返され、終端回路(120)が、モジュール端子(VTT)に近接して配設されている。

【 0 0 3 6 】

すなわち、本発明の一実施の形態に係るメモリモジュール（１）は、モジュール基板の表面及び裏面に、バスラインを共有する複数のメモリデバイス（図１の１１５）を有し、バスラインは、第１のモジュール端子（図１の１１１）から、基板表面上を、第１のモジュール端子から離間して位置するビアホール（図１の１１３）まで延在されビアホールを介して第１のストリップライン（図１の１１２）の一端に接続され、基板表面に搭載されたメモリデバイス（図１の１１５）の端子はビアホールを介して第１のストリップライン（図１の１１２）に接続され、第１のストリップラインの他端が、折返し用のビアホール（図１の１１９）を介して、第２のストリップライン（１１２）の一端に接続され、第２のストリップライン（１１２）は一の方向と逆の方向に延在されており、基板裏面に搭載されたメモリデバイスの端子はビアホールを介してストリップラインに接続され、終端電圧端子（VTT）に近接して配設されている終端抵抗（図１の１２０）を備え、終端抵抗はビアホールを介して、折り返されたストリップラインの他端に接続されている。

【 0 0 3 7 】

本発明に係るメモリモジュール折り返しのない構成も含む。すなわち、本発明の一実施の形態に係るメモリモジュール（１）は、表面及び裏面の少なくとも一方に、バスラインを共有する複数のメモリデバイスを有する基板を備え、前記基板において、バスラインはビアホール（１１３）を介してストリップライン（１１２）の一端に接続され、前記基板上の複数のメモリデバイスの端子は、それぞれビアホールを介して前記ストリップラインに接続され、前記ストリップラインの他端は、ビアホールを介して、基板表面又は基板裏面に設けられている、終端回路、又は終端回路を内蔵したメモリデバイス（図６の１１５）の端子に接続され、終端されている。

【 0 0 3 8 】

また本発明においては、メモリコントローラコネクタ間のデータ信号配線を、ストリップラインによってポイント・ツー・ポイント（Point to Point）で接続し、コネクタには、メモリモジュールが装着されている。

【 0 0 3 9 】

本発明において、メモリモジュールには、DDR (Double Data Rate) メモリが搭載され、さらに1チャンネル(64or72bit)が、複数スロットに分配されている。

【 0 0 4 0 】

本発明において、メモリデバイス（又はレジスタ）が、バスラインの少なくとも一つの双方向信号に対して1つの入出力端子を設ける構成をとらず、入力端子と出力端子とを別々に有し（QDR (Quad Data Rate) メモリ等）、前記バスラインには、前記メモリデバイス（又はレジスタ）の入力端子と出力端子とにそれぞれ接続される一方向性の入力信号配線（図24の112A）と出力信号配線（図24の112B）とが設けられ、前記マザーボード（3）上のメモリコントローラ（2）が、前記メモリデバイス及び又は前記レジスタの入力端子と出力端子とに対応して、入力端子と出力端子を有する構成としてもよい。この実施の形態では、メモリコントローラ（2）の出力端子と入力端子と、メモリデバイス（115）の入力端子と出力端子とが、それぞれ、例えば、一方向性の配線でポイント・ツー・ポイント（Point to Point）接続される。

【 0 0 4 1 】

本発明の一実施の形態においては、メモリデバイス、及び／又は、前記メモリモジュールに搭載され前記バスラインに接続されるレジスタが、前記コネクタを介して接続される前記マザーボード上の前記メモリコントローラとの間で、前記バスラインの少なくとも1つ信号の伝送を差動で行うようにしてもよい（図28参照）。

【 0 0 4 2 】

本発明の一実施の形態のメモリシステムにおいては、前記信号を差動で伝送する複数の配線対のうち、少なくとも1組の配線対が、前記メモリコントローラから前記コネクタまでは、互いに相補の第1、第2の配線の順で配設されており、前記コネクタから前記メモリモジュール内では、配置が交換され、前記第2、第1の配線の順で配設されており、相補信号対の配置が交換する組と、交換しない組とが交互に配置される構成としてもよい（図29参照）。以下、本発明の各実

施例について、図面を参照して詳細に説明する。

【 0 0 4 3 】

【実施例】

図 1 は、本発明の第 1 の実施例のメモリモジュールの構成の一例を示す図である。図 1 (A) は断面図、図 1 (B) は、上面図であり、1 本の DQ バスラインを示している。図 1 を参照すると、本実施例のメモリモジュールは、モジュール基板の表面及び裏面に、バスラインを共有する複数の D R A M 1 1 5 を有し、バスラインは、第 1 のモジュール端子 (DQ) 1 1 1 から、基板表面上を、第 1 のモジュール端子から離間して位置するビアホール 1 1 3 まで延在され該ビアホール 1 1 3 を介して第 1 のストリップライン 1 1 2 の一端に接続され、基板表面に搭載された D R A M 1 1 5 の信号端子はビアホールを介して第 1 のストリップライン 1 1 2 に接続され、第 1 のストリップラインは一方向に延在され、前記一端に反対側の他端が、折返し用のビアホール 1 1 9 を介して、裏面側の第 2 のストリップライン 1 1 2 の一端に接続され、第 2 のストリップライン 1 1 2 は一方向と逆の方向に延在されており、基板裏面に搭載された D R A M 1 1 5 の端子はビアホールを介して第 2 のストリップラインに接続され、終端電圧端子 (V T T) に近接して配設されている終端抵抗を基板裏面に備え、終端抵抗 1 2 0 はビアホールを介して、折り返された第 2 のストリップラインの他端に接続されている。

【 0 0 4 4 】

1 本の配線は、メモリモジュール端子 1 1 1 からプリント基板 1 0 0 の表面に搭載された 4 つの D R A M 1 1 5 にスタブレス接続され、折曲部をなすビアホール 1 1 9 を介して折り返されて、さらに裏面に搭載された 4 つの D R A M 1 1 5 にスタブレス接続され、終端抵抗 1 2 0 を介して、終端電源 V T T に接続される。

【 0 0 4 5 】

ここで、配線は、誘電体に埋設され、電源 V D D 又は G N D 層に挟まれた、いわゆるストリップライン 1 1 2 で形成されており、D R A M 1 1 5 のピン 1 1 4 とはビアホール 1 1 3 を介して接続されている。

【 0 0 4 6 】

この時、DQバスラインの実効的特性インピーダンスを、マザーボード（図4の3）の配線の実効特性インピーダンスと整合している。

【 0 0 4 7 】

特性インピーダンスと整合は、2つのDRAM115の間の配線の距離 E_p （エレクトリカルピッチ）を、次式

$$E_p = Z_{MB}^2 C_{I/O} / (L_0 - Z_{MB}^2 C_0) \quad \dots (1)$$

で規定される値とすることで実現できる。

【 0 0 4 8 】

上式（1）において、

Z_{MB} はマザーボード配線の実効特性インピーダンス、

$C_{I/O}$ はDRAMのI/O負荷容量（n個のDRAMの端子がバス上の1点で接続されている場合はn倍する）、

L_0 は、メモリモジュール配線の単位長さ当たりのインダクタンス、

C_0 は、メモリモジュール配線の単位長さ当たりのキャパシタンス、である。

【 0 0 4 9 】

なお、ビアホール113は、一般的に十分小さく、スタブとはみなさない。

【 0 0 5 0 】

図2は、本発明の第1の実施例のメモリモジュールの構成例を示す図である。メモリモジュールは、4bitI/OのDRAM、図示されないチップセットからDRAMへ供給されるコマンド／アドレス(Command Address)信号をラッチするコマンド／アドレスレジスタ(CAレジスタ)121、終端抵抗120、DQ信号、CA(Command Address)信号、クロック信号(CLK)信号から構成されている。DQ信号、及びクロック信号CLK、CLKBは、メモリモジュール端子から複数のDRAMの端子をスタブレスで接続されており、末端のDRAMのオンチップ・ターミネーション(内蔵終端抵抗)で終端されている。CLK、CLKB信号は、差動クロック信号である。

【 0 0 5 1 】

C A 信号 (Command Address) は、メモリモジュール端子から、複数の C A レジスタ端子をスタブレスで接続されており、末端は、終端抵抗 1 2 0 で終端されている。

【 0 0 5 2 】

そして C A レジスタ 1 2 1 から D R A M 1 1 5 に対しても、スタブレスで接続され、末端の終端抵抗 1 2 0 で終端されている。またバスラインの折り返し点付近で、電源/GND層を流れるリターン電流が分断されないように、GND層を短絡し、電源-GND層間はパスコンで接続されている。

【 0 0 5 3 】

図 3 (A) は、本発明の第 1 の実施例のメモリモジュールの外観を示す上面図であり図 3 (B) は、裏面の一部を示す図である。この例において、メモリモジュールの端子 1 1 1 から D R A M 1 1 5 に接続される配線は、端子 1 1 1 から延在されてピアホール 1 1 3 に至り、ピアホール 1 1 3 を経由して、メモリモジュールの基板内層に入り、DQ信号、CLK信号は、ストリップラインとして、配線される。

【 0 0 5 4 】

図 4 は、本発明の第 1 の実施例のメモリシステムにおける、DQ信号及びCA信号の配線を示す図である。図 4 には、64bit DQ(1チャンネル)のシステムの例が示されており、2スロットで構成されている。DQ信号は、メモリコントローラ 2 から、両スロットまでは、各々 32bit がコネクタ 4 を介して、ポイント・ツー・ポイント (Point to Point) 接続されている。各スロットには、図 1 のメモリモジュール 1 が装着されている。

【 0 0 5 5 】

この実施例では、マザーボード 3 において、メモリコントローラ 2 から、スロットまでは、メモリモジュール 1 の内層と同様、ストリップラインによる配線が用いられている。

【 0 0 5 6 】

メモリコントローラ 2 は、オンチップターミネータを備え、メモリモジュール 1 上の終端 1 2 0 とともに、両側終端バスを形成している。

【 0 0 5 7 】

なお、C A 信号 (Command/Address) は、メモリコントローラ 2 から両スロットへ共通した信号が接続される。図 4 (B) に示すように、C A 配線は、メモリコントローラ 2 からコネクタ 4 付近まで特性インピーダンス Z_0 (例えば 30Ω) で配線され、両スロットへ、 $2 \times Z_0$ (60Ω) の配線で分岐する、いわゆる、T-branch 構造で接続されている。このときメモリモジュール 2 の C A 配線の実効的な特性インピーダンスも、 $2 \times Z_0$ (60Ω) となっており整合されている。

【 0 0 5 8 】

図 5 は、図 4 に示した本発明によるメモリシステムの実施例における 1 スロット分のデータラッチの仕方を示す図である。

【 0 0 5 9 】

まず、書きこみ (Write) 時、メモリコントローラ 2 は、D Q 信号及びクロック (C L K) 信号を D R A M 1 1 5 に対して出力する。D Q 信号は、ダブルデータレートで出力される。そして、D R A M 1 1 5 は、C L K 信号に基づき、D Q 信号をラッチする (D Q @ W r i t e : C L K でラッチ)。

【 0 0 6 0 】

メモリコントローラ 2 が出力する C L K 信号の位相は、D Q 信号の位相から $1/4$ 周期遅らせている (center aligned)。センター・アラインド (center aligned) タイミング発生回路 2 A では、D Q 信号は C L K 信号よりも 90 度位相が進んでいる。センター・アラインド (center aligned) タイミング発生回路 2 A は、等間隔位相 (90 度) が離間している信号を出力する電圧制御発振器 (V C O) 又は P L L 回路よりなり、C L K 信号は D Q 信号のタイミングよりも 90 度遅れている。

【 0 0 6 1 】

Read (読み出し) 時、D R A M 1 1 5 は、D Q 信号及び D Q ストロープ信号 (D Q S) をメモリコントローラ 2 に対して出力する。

【 0 0 6 2 】

メモリコントローラ 2 は、D R A M 1 1 5 からの D Q ストロープ信号に基づき、D Q 信号をラッチする (D Q @ R e a d : D Q S でラッチ)。D R A M 1 1 5

が出力するDQストロブ信号の位相は、DQ信号の位相から1/4周期遅らせている(center aligned)。

【0063】

CA信号に関して、メモリコントローラ2が、CA信号及びCACLK信号を、シングルデータレートで、CAレジスタ121に出力する。CAレジスタ121は、CACLK信号に基づき、CA信号をラッチする(CA@レジスタ: CACLKでラッチ)。

【0064】

メモリコントローラ2が出力するCACLK信号の位相は、CA信号の位相から、1/4周期遅らせている(center aligned)。

【0065】

CAレジスタ121は、内部CAバス線を介して、DRAM115に、CA信号を、シングルデータレートで出力する。

【0066】

DRAM115は、CLK信号をサンプリングクロックとしてCA信号をラッチする(CA@DRAM: CLKでラッチ)。

【0067】

本実施例のメモリモジュール1によれば、1本のデータバスラインにおいて、メモリ(2つ以上)115の端子間を、スタブレス(一筆書き)接続しているため、信号の反射が低減されるとともに、多数のメモリを接続することができる。

【0068】

また、本実施例のメモリモジュール1においては、バスラインをストリップライン112を用いて形成しているため、遠端クロストークを低減できる。

【0069】

本実施例のメモリモジュール1においては、メモリモジュール1のデータバスラインの実効的な特性インピーダンスをマザーボードの配線の特性インピーダンスと整合させているため、マザーボードとメモリモジュールの繋ぎ目での信号反射を低減することができる。

【0070】

本実施例のメモリモジュール 1 においては、データバスラインを折り返し、終端(抵抗)を、メモリモジュール端子近く、つまりコネクタ 4 の近くに配置しているため(図 4 参照)、終端における電源のインピーダンスが低くなり、グラウンド(GND)バウンスを防止できる。また終端抵抗 120 で発生する熱が、コネクタ 4 (図 4 参照)の金属部を通じてマザーボード 3 に逃げやすくなり、メモリモジュール 1 の温度上昇を抑えることができる。

【 0 0 7 1 】

本実施例のメモリモジュール 1 においては、データバスラインの折り返し点付近で、リターン電流の経路を確保しているため、データバスラインの特性インピーダンスの局所的変動を抑えて信号反射を防ぎ、信号ノイズを低減することができる。

【 0 0 7 2 】

また本実施例のメモリシステムによれば、マザーボード上のスロットにメモリモジュールが装着される構成とされており、メモリモジュールを交換することができる。

【 0 0 7 3 】

本実施例のメモリシステムにおいては、メモリコントローラ 2 とスロット間のデータ配線を、ポイント・ツー・ポイント (Point to Point) 接続し、スロットには、メモリモジュール 1 が取付けられている。

【 0 0 7 4 】

このため、信号のコネクタ 4 の通過を、1 回とすることができる。その結果、コネクタ通過による信号波形の劣化を最小限に抑えることができる。

【 0 0 7 5 】

本実施例のメモリシステムにおいては、メモリコントローラ 2 とスロット間のデータ配線を、ストリップラインで構成しているため、クロストークによるノイズを低減できる。

【 0 0 7 6 】

さらに、本実施例のメモリシステムにおいては、データ配線は、メモリコントローラ 2 側のオンチップターミネーションとメモリモジュール側の終端回路 12

0 の両側終端になっているため、信号反射の増大を抑えることができる。

【 0 0 7 7 】

本実施例のメモリシステムにおいては、1チャンネル(64もしくは72bit)を、複数のスロットに分割しているため、消費電力や熱を分散させることができる。またメモリモジュール上のデータバス配線が少なくできる。

【 0 0 7 8 】

本実施例のメモリシステムにおいては、メモリコントローラ-CAレジスタ間CA信号配線を、T分岐(T-branch)接続しており、2スロットでもCA配線を2重に配置させることなく、また信号反射を起こすことなく、CAバスラインを実現できる。

【 0 0 7 9 】

以上説明したように、本実施例によれば、コネクタに取付け可能なメモリモジュール上に耐ノイズ性に優れたスタブレスメモリシステムを構築しており、大容量メモリモジュールが実現できる。さらにメモリコントローラ-メモリモジュール間を耐ノイズ性に優れた、ポイント・ツー・ポイント(Point to Point)接続しているため、データ信号のコネクタ通過をただ1回にでき、波形を悪化させることなく高速信号伝送ができ、メモリ増設も可能となる。また、1チャンネルを複数スロットに分散するので消費電力や熱を分散させることができ、メモリモジュールの温度上昇を抑え、性能低下を抑えることができる。

【 0 0 8 0 】

メモリモジュールについては、以下の利点を有する。

【 0 0 8 1 】

信号反射が低減されノイズを防止できるので、高速信号伝送が可能となる。また多数のメモリを接続できるのでメモリの大容量化が可能となる。

【 0 0 8 2 】

遠端クロストークを低減できノイズを防止できるので、高速信号伝送が可能となる。

【 0 0 8 3 】

マザーボードとメモリモジュールの繋ぎ目での信号反射を低減でき、ノイズを

防止できるので、高速信号伝送が可能となる。

【 0 0 8 4 】

本実施例のメモリシステムについては、以下の利点を有する。

【 0 0 8 5 】

メモリモジュール 1 の交換ができるので、メモリ増設(メモリ容量の変更)が可能となる。

【 0 0 8 6 】

コネクタの信号が通過することによる信号波形の劣化を、最小限に抑えることができるので、高速信号伝送が可能となる。

【 0 0 8 7 】

クロストークによるノイズを低減できるので、高速信号伝送が可能となる。

【 0 0 8 8 】

信号反射の増大を抑えることができノイズを低減できるので、高速信号伝送が可能となる。

【 0 0 8 9 】

複数のスロット(メモリモジュール)で消費電力や熱を分散させることができるので、メモリモジュールの温度上昇を抑えることができ、メモリモジュール上のメモリデバイスの性能劣化を抑えることができる。またメモリモジュール上のデータバスが少なくなるので、配線が短く引ける。

【 0 0 9 0 】

信号反射を起こすことなく、C A バスラインを実現できるので、C A 信号の高速信号伝送が可能となる。

【 0 0 9 1 】

本発明により高速信号伝送、メモリの大容量化、メモリの増設が可能となる。

【 0 0 9 2 】

次に、本発明の他の実施例について説明する。

【 0 0 9 3 】

図 6 は、本発明の第 2 の実施例のメモリモジュールの構成を示す図である。図 6 (A) に示すように、終端内蔵型メモリ 1 1 5 を用いてマルチチップモジュー

ル 6 1 で形成してもよい。

【 0 0 9 4 】

表面及び裏面にデータバスラインを共有する複数のメモリデバイス 1 1 5 が搭載されている MCM (マルチチップモジュール) 基板 6 1 を有し、バスラインは、ビアホール 1 1 3 を介してストリップラインの一端に接続され、基板表面及び基板裏面にそれぞれ搭載された複数の D R A M 1 1 5 の端子はビアホールを介して交互にストリップライン 1 1 2 に接続され、ストリップライン 1 1 2 の他端がビアホールを介して、終端回路を内蔵した D R A M 1 1 5 に接続されて、終端されている。

【 0 0 9 5 】

かかる構成により、メモリモジュールの小型化を図ることができる。また、表裏のメモリデバイス (チップ) 1 1 5 を交互に配線してもよい。かかる構成によって、エレクトリカルピッチ E_p を小さくすることができ、信号反射をさらに低減することができる。

【 0 0 9 6 】

オンチップターミネータは、図 6 (B) に示すように、I/Oピンに一端が接続された抵抗 R_{term} の他端と終端電圧 V_{term} との間に接続されたトランスファゲート 6 3 を備えている。トランスファゲート 6 3 は、入力信号をゲートに入力する NMOS トランジスタと、入力信号をインバータ 6 2 で反転した信号をゲートに入力する PMOS トランジスタとからなり、インバータ 6 2 への入力信号が HIGH レベルのとき、トランスファゲート 6 3 がオンし、終端抵抗 R_{term} は終端電圧 V_{term} に接続され、インバータ 6 2 への入力信号が LOW レベルのとき、トランスファゲート 6 3 がオフし、終端抵抗 R_{term} は終端電圧 V_{term} に接続されない。あるいは、オンチップターミネータは、一端が、I/Oピンに接続された終端抵抗の他端と正側電源電圧 (V_{DDQ}) との間に接続された第 1 のトランスファゲートと、一端が、I/Oピンに接続された終端抵抗の他端と負側電源電圧 (V_{SSQ} 又は GND) との間に接続された第 2 のトランスファゲートと、を備え、前記第 1 及び第 2 のトランスファゲートをオンすることで、前記バスラインの終端を行う、センタタップ終端型のオンチップターミネータとしてもよい。

【 0 0 9 7 】

次に本発明のメモリモジュールの第3の実施例について説明する。図7に示すように、複数のメモリをマルチチップパッケージ70A、70Bで形成してもよい。マルチチップパッケージ70A、70Bは、図6のメモリモジュールの構成を有する。プリント基板701に接続されるマルチチップパッケージ70Aは、絶縁基板710に搭載されたDRAM115を備え、ピン711でプリント基板701と接続し、プリント基板701のスルーホール（ビアホール）702を介して、裏面側のマルチチップパッケージ70Bのピンと接続される。マルチチップパッケージ70Bにおいて、ストリップラインは、ピン711で基板のパターンと接続し終端抵抗704に接続される。かかる構成により、大容量メモリモジュールを小型化でき、システムサイズ、特に、高さを抑えることができ、薄型化に貢献する。

【 0 0 9 8 】

本発明のメモリモジュールの実施例において、図2に示すように、4ビットI/O（DQ×4）のメモリ115を用いた場合について説明する。多bit（8、16、32 bit）I/Oに対して、デバイス搭載数を増やすことができ、高速動作時におけるチップ内の同時スイッチングノイズや、tSH（入力データの取り込みタイミング精度：サンプルホールド時間）の点からも有利である。

【 0 0 9 9 】

本発明のメモリモジュールの第4の実施例について説明する。図16に示すように、スタブレスで複数デバイス（n個）のデータ端子をバス上の1点で接続してもよい（集中負荷）。

【 0 1 0 0 】

DQ（データ信号）、DQS（データストロブ信号）、CLK信号は、ストリップライン112でポイント・ツー・ポイントで接続する。高速信号伝送を可能とし、遠端クロストークを低減する。この時、電気的ピッチE_pの計算において、上式（1）のCI/Oは、n倍となる。

【 0 1 0 1 】

次に、本発明のメモリモジュールの第4の実施例について説明する。図16（

A) を参照すると、この実施例のメモリモジュールにおいては、モジュール端子 1 1 1 からビアホール 1 1 3 までバスラインはプリント基板表面上を延在され、ビアホール 1 1 3 を介してストリップライン 1 1 2 の一端に接続され、ストリップライン 1 1 2 の他端がビアホールを介して基板裏面の終端抵抗 1 2 0 に接続され、表面及び裏面に互いに対応して実装されている 2 つの D R A M 1 1 5 のそれぞれに対して、ストリップライン 1 1 2 の一点から、表面及び裏面側に接続するためのビアホールを介して D R A M 1 1 5 の D Q 端子に接続されている。

【 0 1 0 2 】

また図 1 6 (B) を参照すると、モジュール端子 (D Q) 1 1 1 からビアホール 1 1 3 まで前記バスラインは基板表面上を延在され、ビアホール 1 1 3 を介して 1 つのストリップライン 1 1 2 の一端に接続され、該ストリップライン 1 1 2 の他端が、折返し用のビアホール 1 1 9 を介して、他のストリップライン 1 1 2 の一端に接続され、他のストリップラインは前記一方向と逆方向に延在されており、モジュール端子 (V T T) 1 1 1 に近接して基板裏面上に配設されている終端抵抗 1 2 0 を備え、終端抵抗 1 2 0 は第 2 のビアホールを介して他のストリップライン 1 1 2 の他端に接続されており、表面及び裏面に互いに対応して実装されている 2 つの D R A M 1 1 5 のそれぞれに対して、ストリップライン 1 1 2 の一点から、表面及び裏面側に設けられたビアホールを介して、前記 2 つの D R A M の D Q 端子に接続されている。基板面上に配設されている複数の D R A M 1 1 5 に対して、 1 つのストリップラインと他のストリップラインから交互に表面及び裏面側に設けられたビアホールを介して、 2 つの D R A M 1 1 5 の D Q 端子に接続されている。

【 0 1 0 3 】

次に、本発明のメモリモジュールの第 5 の実施例について説明する。図 1 7 に示すように、メモリモジュール上に、 D Q レジスタ 1 2 2 を備えた構成としてもよい。図 1 7 を参照すると、表面及び裏面にバスラインを共有する複数の D R A M 1 1 5 を実装する基板を有し、モジュール端子 (D Q) 1 1 1 から離間した所定の位置のビアホールを介して第 1 のストリップライン 1 1 2 の一端に接続され、第 1 のストリップライン 1 1 2 の他端がビアホールを介して、基板表面の信号

変換用のDQレジスタ122の入力端子に接続され、信号変換用のDQレジスタ122の出力端子がビアホールを介して第2のストリップライン112の一端に接続され、ストリップライン112の他端は、折り返し用のビアホール119を介して他の層のストリップライン112の一端に接続され、他の層のストリップライン112で折り返され、モジュール端子に近接して基板裏面上に配設されている終端抵抗120を備え、終端抵抗120はビアホールを介してストリップライン112の他端に接続されている。

【0104】

かかる構成により、メモリコントローラとDRAM115の信号電圧や論理の変換が可能になる。

【0105】

さらに、DQ端子と、DRAM115との間に特性インピーダンス整合用の直列抵抗を挿入してもよい。これにより、メモリモジュール配線の設計自由度が向上し、配線の冗長化や煩雑化を回避できる。

【0106】

またデータバスを差動形式(differential mode)にしてもよい。この場合、レシーバ回路等において論理閾値電圧基準Vrefが不要となりVrefばらつきによるタイミングばらつきがなくなり、タイミングバジェットに余裕が生まれ、さらなる高速信号伝送が可能となる。

【0107】

次に、本発明における配線の実施例について説明する。図11(A)のように、マザーボード配線のストリップラインで信号配線1102の間に、シールド配線1103を設ける。これにより、クロストークを低減できる。電源/GND層間の誘電体層1104に埋設されている隣接するストリップライン信号配線1102間にシールド配線1103が、ストリップライン信号配線1102に並行に設けられている。図11(B)は、DIMM(Dual In-line Memory Module)のストリップライン配線の一例を示す図である。

【0108】

次に、本発明のメモリシステムの第2の実施例について説明する。図8に示す

ように、コネクタの両側面に端子を持ち、メモリモジュール 1 を水平に挿入するタイプのコネクタであるバタフライ型コネクタ 4 B を用いてもよい。これにより大容量メモリモジュールを用いてもメモリシステムの高さの増大を防ぐことができる。

【 0 1 0 9 】

次に、本発明のメモリシステムにおけるデータラッチの実施例（ラーニングスキームによる D Q R e a d）について説明する。図 9 に示すように、メモリコントローラ 2 に、スロット毎に対応するリード（Read）データラッチタイミング学習兼発生回路 2 2 を備えている。この実施例では、リード（Read）データラッチタイミング学習兼発生回路 2 2 を備えたことにより、D Q ストロブを用いなくても、メモリモジュールの出力回路 1 1 から出力されるリード（Read）データをラッチすることができる。

【 0 1 1 0 】

図 1 0 に示すように、本実施例のメモリシステムにおいては、1 スロット構成であっても良い。

【 0 1 1 1 】

次に、本発明のメモリシステムの第 4 の実施例について説明する。図 1 5 に示すように、集中負荷 2 Rank-2 Slot の場合は、Point to Point と同様の構成となる。この時、メモリモジュールの表裏にある 2 つのデバイス（D R A M） 1 1 5 のうち、アクセスもしくはドライブしない方のデバイス 1 1 5 A で終端すると良い。また配線長が等しくなるように、スロットとスロットの間から縁を引き出す構成としている。2 R A N K - 2 S L O T 相当では、ポイント・ツー・ポイント（Point to Point）と同じである。

【 0 1 1 2 】

次に、本発明のメモリシステムの第 5 の実施例について説明する。図 1 8 に示すように、マザーボード 3 上に、D Q レジスタ 1 9 1 を搭載してもよい。これによってメモリコントローラ 2 とメモリ 1 1 5 の信号電圧や論理の変換が可能となる。

【 0 1 1 3 】

次に、本発明のメモリシステムの第 6 の実施例について説明する。図 1 9 に示すように、本発明のメモリモジュールをスター接続してもよい。DQ（データ信号）、DQS（DQ ストローブ信号）、CLK（クロック信号）がスター接続される。この接続形態は、スタブレス接続ではないが、別の使用方法として適用される。スター接続では、どの線からみても、インピーダンスが整合している。

【 0 1 1 4 】

n 分岐のスター接続では、メモリモジュールの実効インピーダンスは、

$$Z_0 = n R_s / (n-1)$$

マザーボードのインピーダンスは、

$$Z_0 = (2n-1) R_s / n(n-1)$$

となる。

【 0 1 1 5 】

次に、本発明におけるメモリコントローラ 2 のドライバと、基準電圧 V_{ref} の生成について説明する。図 1 2 に示すように、メモリモジュール 1 上でバスライン末端の終端内蔵型メモリ 1 1 5 を用いて、 V_{ref} （論理閾値電圧基準）を発生させても良い。この実施例では、メモリコントローラ 2 に、論理閾値電圧出力回路 2 3 を備えている。

【 0 1 1 6 】

この実施例では、ドライバ（出力回路）2 1 は、プッシュプル回路であるため、論理閾値電圧出力回路 2 3 は、ドライバと同じ回路構成よりなり、入力端子と出力端子を短絡させた回路で実現可能である。メモリコントローラ 2 の論理閾値電圧出力回路 2 3 が V_{ref} 配線に接続されている。なお、プッシュプル回路は、電源/GND間に接続され、ゲート同士が接続されて入力端子に接続され、ドレイン同士が接続されて出力端子（DQ 端子）に接続される PMOS トランジスタ PM 1 と NMOS トランジスタ NM 1 からなる。

【 0 1 1 7 】

バスライン末端の終端内蔵型メモリ 1 1 5 A のオンチップターミネータが V_{ref} 配線に接続されている。バスラインに接続されているメモリ 1 1 5 の V_{ref} 端子は V_{ref} 配線に接続されている。

【0118】

この実施例において、ノイズの観点から、Vref配線のチップ近くに、パスコン116を配置すると良い。かかる構成によって、デバイスの製造ばらつきによる論理閾値電圧に整合したVrefを供給でき、信号のラッチタイミングばらつきを小さくできる。

【0119】

本発明の実施例におけるメモリコントローラ2のドライバの他の構成について説明する。図13(A)に示すように、メモリコントローラ2におけるDQ信号の出力回路として、オープンドレイン型のドライバを用いてもよい。ドライバ最終段のトランジスタ133においては、ゲート電圧VGを、0VからVDDQまで変化させても、駆動電流IDが流れるのは、ゲート電圧VGが、図13(D)のVin for 'H' 程度の電圧からVDDQの間である。

【0120】

信号出力時において、VGを0V～VDDQの電圧レンジで制御すると、信号のデューティ比が等しくならなく('H'側の時間が長く、'L'の時間が短くなる)になってしまう。そこでドライバ最終段133と前段論理回路131の間に前段論理回路の出力電圧レンジを、Vin for 'H' からVDDQの間に変換するレベル変換回路132が設けられている。これによってデューティ比の等しい信号が得られ、タイミングバジェットに余裕が生まれ、高速信号伝送が可能となる。レベル変換回路132は、電源VDDにソースが接続されたPMOSトランジスタPM11と、ドレインがPMOSトランジスタPM11のドレインに接続されたNMOSトランジスタNM11と、NMOSトランジスタNM11のソースにドレインとゲートが接続され(ダイオード接続されている)、ソースがGNDに接続されたNMOSトランジスタNM12とを有し、PMOSトランジスタPM11とNMOSトランジスタNM11のゲート同士が接続されて前段論理回路131の出力端子に接続され、PMOSトランジスタPM11とNMOSトランジスタNM11のドレイン同士が接続されて、オープンドレインドライバ135のゲートに接続されている。

【0121】

なお、オープンドレインドライバ構成の論理閾値電圧出力回路 2 3 は、レベル変換回路 1 3 4 とドライバ最終段 1 3 5 において、レベル変換回路 1 3 4 の入出力を短絡した回路で得られる。レベル変換回路 1 3 4 は、レベル変換回路 1 3 2 と同一構成とされている。

【 0 1 2 2 】

次に、本発明のメモリシステムの第 7 の実施例について説明する。図 2 0 に示すように、マザーボード 3 の配線において、バスラインの部分だけ部分的に、ストリップラインで配線するようにしてもよい。かかる構成により、少ない層数（図 2 0 では 4 層）でメモリシステムを構築できる。

【 0 1 2 3 】

次に、本発明のメモリシステムの第 7 の実施例について説明する。図 2 1 （A）に示すように、熱対策としてメモリモジュール 1 にヒートスプレッダ 1 2 3 を取りつけても良い。またヒートパイプを具備したコネクタ 4 A を用いてもよい。これによりメモリモジュール 1 の高温化を防止し、メモリシステムの性能低下を回避できる。コネクタ 4 A は、図 2 1 （B）に示すように、コネクタ 4 0 1 の両サイドにヒートパイプ 4 0 2 を配設し冷却液で冷却するものである。

【 0 1 2 4 】

次に、本発明のメモリシステムの第 8 の実施例について説明する。図 2 2 に示すように、メモリやメモリコントローラ等のパッケージにおいて、配線を、ストリップラインで形成する。これによりクロストークが低減できる。DRAMチップ（ペレット）2 2 1 5 のパッド 2 2 1 5 は、裏面にピン 2 2 1 8 （半田ボール）を有する基板 2 2 1 0 の表面に接続され、パッド 2 2 1 4 は、ビアホール 2 2 1 3 を介してストリップライン 2 2 1 2 に接続し、ストリップライン 2 2 1 2 は対応するピン 2 2 1 8 にビアホール接続されている。パッケージ配線をストリップラインで構成しており、（遠端）クロストークを防止することができる。

【 0 1 2 5 】

次に、本発明のメモリモジュールの第 6 の実施例について説明する。図 2 3 を参照すると、本実施例のメモリモジュールにおいては、モジュール基板を 1 0 0 A と 1 0 0 B の 2 つに分割し、これらの基板間をフレキシブルフィルム 1 3 0 で

接続している。本実施例のメモリモジュールにおいては、モジュール基板 1 0 0 A、1 0 0 B は、それぞれ表面及び裏面に、バスラインを共有する D R A M 1 1 5 を有し、バスラインは、第 1 のモジュール端子（例えば D Q）1 1 1 から、基板表面上を、第 1 のモジュール端子 1 1 1 から離間して位置するビアホール 1 1 3 まで延在され該ビアホール 1 1 3 を介してストリップライン 1 1 2 A の一端に接続され、基板表面に搭載された D R A M 1 1 5 の信号端子はビアホールを介してストリップライン 1 1 2 A に接続され、該ストリップライン 1 1 2 A の端部がビアホールを介して基板表面のパッドからフレキシブルフィルム 1 3 0 に接続されている。モジュール基板 1 0 0 A ではビアホール 1 1 3 を介してストリップライン 1 1 2 B の一端に接続され、基板表面に搭載された D R A M 1 1 5 の信号端子はビアホールを介してストリップライン 1 1 2 B に接続され、該ストリップライン 1 1 2 B は一方向に延在され、該一端に反対側の他端が、折返し用のビアホール 1 1 9 を介して、裏面側のストリップライン 1 1 2 C の一端に接続され、基板裏面に搭載された D R A M 1 1 5 の端子はビアホールを介してストリップライン C に接続され、該ストリップライン 1 1 2 C の端部がビアホールを介して基板表面のパッドでフレキシブルフィルム 1 3 0 に接続されている。モジュール基板 1 0 0 B では、フレキシブルフィルム 1 3 0 にパッドが接続され、ビアホール 1 1 3 を介してストリップライン 1 1 2 D の一端に接続され、基板裏面に搭載された D R A M 1 1 5 の信号端子はビアホールを介してストリップライン 1 1 2 D に接続され、該ストリップライン 1 1 2 D は一方向に延在され、該一端に反対側の他端がビアホールを介して終端抵抗 1 2 0 の一端に接続され、終端抵抗の他端は、モジュール端子（V T T）1 1 1 に接続されている。

【0 1 2 6】

かかる構成の本実施例によれば、図 1 の第 1 の実施例と比べて、メモリモジュールの高さを低減し、薄型化に貢献する。

【0 1 2 7】

次に、本発明のメモリモジュールの第 7 の実施例について説明する。図 1 に示した前記第 1 の実施例のメモリモジュールでは、D R A M 1 1 5 は、信号入力と信号出力を 1 つの入出力端子（例えば D Q 端子）で行っている。これに対して、

本実施例のメモリモジュールにおいては、図 2 4 を参照すると、D R A M デバイス 1 1 5 において、D R A M コア 1 1 5 - 1 は、その入力端子と出力端子が独立とされており（I / O セパレート方式）、信号配線は双方向ではなく、一方向性の入力信号配線と出力信号配線に分離独立されている。すなわち、D R A M 1 1 5 の入力回路 1 1 5 - 3 は、入力端子が、ビアホール 1 1 3 A、ストリップライン 1 1 2 A を介してモジュール端子 1 1 1 A に接続されており、出力端子が D R A M コア 1 1 5 - 1 の入力に接続される。D R A M コア 1 1 5 - 1 の出力回路 1 1 5 - 2 は、入力端子が、D R A M コア 1 1 5 - 1 の出力に接続され、出力端子が、ビアホール 1 1 3 B、ストリップライン 1 1 2 B を介してモジュール端子 1 1 1 B に接続されている。D R A M コア 1 1 5 - 1 は、その入力端子と出力端子は、データ信号入力端子（D i n）とデータ信号出力端子（D o u t）とされる。前記した実施例のメモリモジュールでは、D R A M のデータ信号端子として双方向の入出力端子（D Q 端子）が用いられており、データバスも双方向のバスが用いられている。これに対して、本実施例では、I / O 分離構成により、入力負荷容量が小さくなり、高速のデータ転送レートを実現可能としている。メモリモジュール 1 に搭載され、信号変換、論理変換を行うレジスタの入力回路と出力回路とモジュール端子間の配線に、かかる構成を適用してもよいことは勿論である。また、メモリモジュール上での D R A M とレジスタ（例えば D Q レジスタ 1 9 1）間を、入力信号配線と出力信号配線に分離して信号伝送を行うようにしてもよいことは勿論である。

【 0 1 2 8 】

次に、本発明のメモリシステムの第 1 0 の実施例について説明する。図 2 5 を参照すると、この実施例のメモリシステムは、メモリモジュール 1 として、図 2 4 を参照して説明した、本発明の第 6 の実施例に係る、I / O セパレート方式のメモリモジュールを備え、メモリコントローラ 2 と D R A M 1 1 5 間で、入力信号配線、出力信号配線がそれぞれ別々に、ポイント・ツー・ポイント（Point to Point）接続されている。D R A M 1 1 5 が、バスラインのある信号に対して双方向性の入出力端子を有する構成をとらず、入力端子と出力端子とを別々に有し、バスラインには、D R A M 1 1 5 の入力端子と出力端子とに接続される一方向

性の入力信号配線と出力信号配線がそれぞれ別々に設けられている。同様に、マザーボード3上のメモリコントローラ2も、DRAM115の入力端子と出力端子とに対応して、出力端子と入力端子とを有しており、メモリコントローラ2の出力端子と入力端子と、DRAM115の入力端子と出力端子とが、それぞれ、一方向性の配線で、ポイント・ツー・ポイント (Point to Point) 接続されている。メモリモジュール1に搭載されバスラインに接続されるDQレジスタ等についても同様な構成としてもよいことは勿論である。

【0129】

次に、本発明のメモリシステムの第11の実施例について説明する。図26を参照すると、この実施例のメモリシステムは、メモリモジュール1として、図24を参照して説明した、本発明の第6の実施例に係る、I/Oセパレート方式のメモリモジュールを備え、いわゆるデジチェーン接続で、メモリコントローラとスロット間の信号伝送を行う構成とされ、実装可能なスロット数を増加させている。すなわち、メモリモジュール1に搭載されるDRAM115は前記第6の実施例と同様、入力端子（入力ポート）と出力端子（出力ポート）を有し、バスラインには、入力端子と出力端子とに接続される一方向性の入力信号配線と出力信号配線がそれぞれ別々に設けられるI/Oセパレート方式とされる。マザーボード3上のメモリコントローラ2も、入力端子と出力端子とを有する。メモリコントローラ2の出力端子（又は入力端子）と、始端のメモリモジュールに搭載されたDRAM115の入力端子（又は出力端子）とが、それぞれ、一方向性の配線で接続されている。メモリモジュール間では、コネクタ4を介して、前段のDRAM115の出力が、後段の一DRAM115の入力に方向性の配線で接続し、末端のDRAMの出力端子（又は入力端子）は、マザーボード3の一方向性の配線を介してメモリコントローラ2の入力端子（又は出力端子）に接続されている。

【0130】

メモリコントローラ2からの信号は、第1のスロットのDRAM115の入力回路に伝達され、当該DRAM115の出力回路からの出力が、マザーボードの配線を介して、第2のスロットに伝達され、第2のスロットのDRAM115の

入力回路に入力され、このようにして、信号は隣りのスロットに伝達され、最終段のスロットの出力が、メモリコントローラ 2 の信号端子に接続されている。

【0131】

次に、本発明のメモリモジュールの第 8 の実施例について説明する。図 2 7 を参照すると、2 R a n k（表裏デバイスでバスを共有する）構成において、D R A M 1 1 5 の入力端子と出力端子を独立とし、モジュール端子 1 1 1 A を信号入力端子とすると、モジュール端子 1 1 1 B は信号出力端子とされ、入力信号配線と出力信号配線をなすストリップライン 1 1 2 A、1 1 2 B が別々に設けられており、ストリップライン 1 1 2 A は、ビアホールを介して、表裏のデバイス（D R A M）1 1 5 の入力端子（入力ポート）に接続され、ストリップライン 1 1 2 B は、ビアホールを介して、表裏のデバイス（D R A M）1 1 5 の出力端子（出力ポート）に接続されている。

【0132】

次に、本発明のメモリシステムの第 1 2 の実施例について説明する。図 2 8 を参照すると、この実施例のメモリシステムにおいては、メモリモジュール 1 に実装される D R A M（図 1 等の D R A M 1 1 5）又はレジスタ（C A レジスタ、D Q レジスタ等）と、コネクタ 4 を介して接続されるメモリコントローラ 2 との間の配線を、差動配線で構成したものである。メモリコントローラ 2 の出力回路 2 1 A は、信号を差動で出力する。信号伝送を差動で行うことで、レシーバ回路等において基準電圧が不要とされる。差動配線構成としたことで、例えば複数ビットの信号が同時に立ち上がり又は同時に立ち下るときに生じる同時スイッチングノイズの発生が回避され、ノイズ耐性が向上する。

【0133】

次に、本発明のメモリシステムの第 1 3 の実施例について説明する。図 2 9 を参照すると、この実施例のメモリシステムにおいては、メモリモジュール 1 に実装される D R A M（図 1 等の D R A M 1 1 5）又はレジスタ（C A レジスタ、D Q レジスタ等）と、コネクタ 4 を介して接続されるメモリコントローラ 2 との間の配線を、差動配線で構成し、差動配線対の 2 組のうち 1 組について、相補信号の配線対の位置が、例えばマザーボード 3 からコネクタ 4 までの間と、コネクタ

4 からメモリモジュール 1 内とで交換されている（すなわち、ツイストさせている）。すなわち、コネクタ 4 において、マザーボード配線側のコネクタのピン P 2、P 3 に対して、図 29（B）に示すように、P 3 を配線（B）の延長線上に配置し、P 2 を配線（／B）の延長線上に配置し、（B、／B）から（／B、B）へと位置を交換させている。マザーボード 3 上の配線では、差動信号対の組は、（A、／A）、（B、／B）、（C、／C）、…（ただし、／A は正転信号 A の反転信号（相補信号）を表し、A、／A の相補信号対が差動信号対をなす）の配置で配線されているが、コネクタ 4 で（B、／B）が交換され、メモリモジュール 1 では、（A、／A）、（／B、B）、（C、／C）、…の組合せで配線されている。

【0134】

本実施例においては、かかるツイスト構成とすることで、マザーボード配線とメモリモジュール配線におけるクロストークノイズが逆位相となり、クロストークの影響（ノイズ）がキャンセルされ、ノイズの低減を図ることができる。

【0135】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、本願特許請求の範囲の請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0136】

【発明の効果】

以上説明したように、本発明は、下記記載の効果を奏する。

【0137】

本発明のメモリモジュールによれば、信号反射が低減されノイズを防止できる。このため、高速信号伝送が可能としている。また、多数のメモリを接続できる。このため、メモリの大容量化を可能としている。

【0138】

本発明のメモリモジュールによれば、遠端クロストークを低減できノイズを防止できる。このため、高速信号伝送を可能としている。

【0139】

本発明のメモリモジュールによれば、マザーボードとメモリモジュールの繋ぎ目（接続部）での信号反射を低減でき、ノイズを防止できる。このため、高速信号伝送が可能となる。

【 0 1 4 0 】

本発明のメモリシステムによれば、メモリモジュールの交換が行え、メモリ増設（メモリ容量の変更）が可能となる。

【 0 1 4 1 】

本発明のメモリシステムによれば、コネクタの信号が通過することによる信号波形の劣化を、最小限に抑えることができる。

【 0 1 4 2 】

本発明のメモリシステムによれば、クロストークによるノイズを低減できる。このため、高速信号伝送を可能としている。

【 0 1 4 3 】

本発明のメモリシステムによれば、信号反射の増大を抑えることができ、ノイズを低減できる。このため、高速信号伝送を可能としている。

【 0 1 4 4 】

本発明のメモリシステムによれば、複数のスロット（メモリモジュール）で消費電力や熱を分散させることができる。このため、メモリモジュールの温度上昇を抑えることができるので、メモリモジュール上のメモリデバイスの性能劣化を抑えることができる。また、メモリモジュール上のデータバスが少なくなるため、配線長を短くすることができる。

【 0 1 4 5 】

本発明のメモリシステムによれば、信号反射を起こす事なく、コマンド／アドレスバスラインを実現できる。このため、コマンド／アドレス（CA）信号の高速信号伝送が可能となる。

【 0 1 4 6 】

また、本発明によればモジュール基板を複数に分割して構成したことで、高さを抑えることができ、薄型化に貢献する。

【 0 1 4 7 】

また、本発明によれば、メモリモジュールに搭載されるデバイスの入出力を分離したことにより、入力容量負荷を低減し、さらなる高速動作を可能としている。

【 0 1 4 8 】

さらに、本発明によれば、バスラインのうち所定の信号を差動で伝送することで、高速伝送、及びノイズ耐性の向上を図ることができる。

【 0 1 4 9 】

そして、本発明によれば、差動対配線の正転信号と反転信号の位置関係をマザーボード配線とメモリモジュール配線で交換する構成とした組と、交換しない組を隣接した配置することで、クロストークの影響を相殺しており、信号振幅の小さな高速信号伝送に適用して好適とされる。

【 0 1 5 0 】

以上の通り、本発明によれば、高速信号伝送、メモリの大容量化、メモリの増設が可能となる。

【図面の簡単な説明】

【図 1】

(A) は、本発明のメモリモジュールの一実施例の構成を示す断面図、(B) は平面図である。

【図 2】

本発明のメモリモジュールの一実施例の構成を示す図である。

【図 3】

(A) は、本発明のメモリモジュールの一実施例の表面を示す図、(B) は裏面の一部を示す図である。

【図 4】

(A) は、本発明のメモリシステムの一実施例の構成を示す図であり、(B) は T ブランチの部分拡大図である。

【図 5】

本発明におけるメモリシステムの一実施例のデータラッチの構成 (1 スロット分) を示す図である。

【図 6】

本発明のメモリモジュールの第 2 の実施例の構成を示す図である。

【図 7】

本発明のメモリモジュールの第 3 の実施例の構成を示す図である。

【図 8】

(A) は、本発明のメモリシステムの第 2 の実施例の構成を示す図であり、(B) は、T ブランチの部分拡大図である。

【図 9】

本発明におけるメモリシステムのデータラッチの第 2 の実施例の構成 (ラーニングスキームによる DQ Read) を示す図である。

【図 10】

本発明のメモリシステムの第 3 の実施例の構成を示す図である。

【図 11】

本発明のメモリシステムにおける配線の構成を示す図である。

【図 12】

本発明のメモリシステムにおけるドライバと基準電圧 V_{ref} 生成の構成の一実施例を示す図である。

【図 13】

本発明のメモリシステムにおけるドライバの他の実施例の構成を示す図である。

【図 14】

(a) は、ポイント・ツー・ポイント (Point to Point) 接続、(b) は従来型スタブレス、(c) は直付けスタブレスの構成を示す図である。

【図 15】

本発明のメモリシステムの第 4 の実施例の構成を示す図である。

【図 16】

本発明のメモリモジュールの第 4 の実施例の構成を示す図である。

【図 17】

本発明のメモリモジュールの第 5 の実施例の構成を示す図である。

【図 1 8】

本発明のメモリシステムの第 5 の実施例の構成を示す図である。

【図 1 9】

(A) は、本発明のメモリシステムの第 6 の実施例の構成を示す図であり、(B) は、n 分岐スター接続を説明する図である。

【図 2 0】

本発明のメモリシステムの第 7 の実施例の構成を示す図である。

【図 2 1】

本発明のメモリシステムの第 8 の実施例の構成を示す図である。

【図 2 2】

本発明のメモリシステムの第 9 の実施例の構成を示す図であり、(A) は、DRAM パッケージ基板の構成を示す図であり、(B) は、メモリシステムの構成を示す図である。

【図 2 3】

本発明のメモリモジュールの第 6 の実施例の構成を示す図である。

【図 2 4】

本発明のメモリモジュールの第 7 の実施例の構成を示す図である。

【図 2 5】

本発明のメモリシステムの第 1 0 の実施例の構成を示す図である。

【図 2 6】

本発明のメモリシステムの第 1 1 の実施例の構成を示す図である。

【図 2 7】

本発明のメモリモジュールの第 8 の実施例の構成を示す図である。

【図 2 8】

本発明のメモリシステムの第 1 2 の実施例の構成を示す図である。

【図 2 9】

本発明のメモリシステムの第 1 3 の実施例の構成を示す図である。

【符号の説明】

1 メモリモジュール

- 2 メモリコントローラ
- 3 マザーボード
- 4 コネクタ
- 1 1 出力回路
- 2 1 入力回路
- 2 2 タイミング学習発生回路
- 2 3 論理閾値電圧出力回路
- 6 1 MCM基板
- 6 2 インバータ
- 6 3 トランスファゲート
- 7 0 A、7 0 B マルチチップパッケージ
- 1 0 0 プリント基板
- 1 1 1 モジュール端子
- 1 1 2 ストリップライン
- 1 1 3 ビアホール
- 1 1 4 ピン
- 1 1 5 DRAM (パッケージ)
- 1 1 5 - 1 DRAMコア
- 1 1 5 - 2 出力回路
- 1 1 5 - 3 入力回路
- 1 1 6 パスコン
- 1 1 7 GND
- 1 1 8 VDD
- 1 1 9 ビアホール (折り返し用)
- 1 2 0 終端抵抗
- 1 2 1 CAレジスタ
- 1 2 2 DQレジスタ
- 1 2 3 ヒートスプレッダ (放熱器 ; ヒートシンク)
- 1 3 0 フレキシブルフィルム

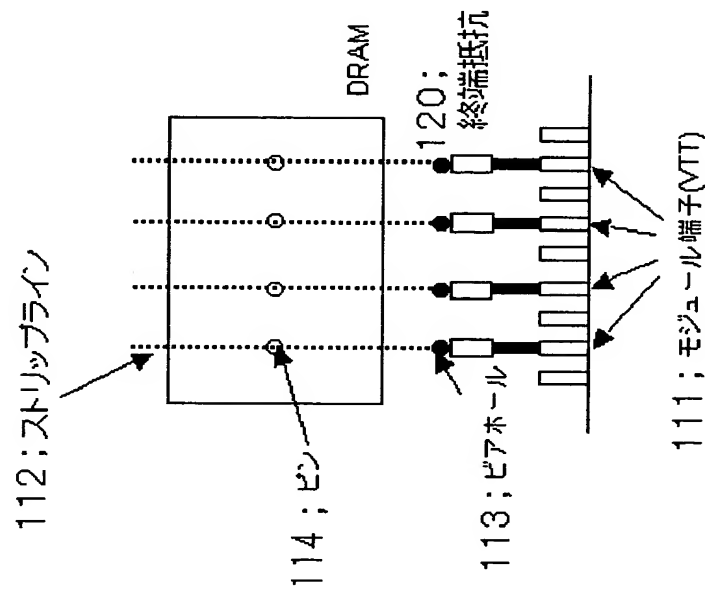
1 3 1 前段論理回路
1 3 2、1 3 4 レベル変換回路
1 3 3、1 3 5 オープンドレインドライバ
1 9 1 DQレジスタ
4 0 1 コネクタ
4 0 2 ヒートパイプ
7 0 1 プリント基板
7 0 4 終端抵抗
7 1 0 基板
7 1 1 ピン
7 1 4 パッド
7 1 5 DRAMチップ
1 1 0 1 電源/GND
1 1 0 2 DQ
1 1 0 3 シールド
1 4 0 1 DRAM
1 4 0 2 メモリコントローラ
1 4 0 3 コネクタ
1 4 0 3 プリント基板
1 4 0 4 終端抵抗
1 4 0 6、1 4 0 7 マザーボード
2 2 1 0 基板
2 2 1 2 ストリップライン
2 2 1 3 ビアホール
2 2 1 4 パッド
2 2 1 5 DRAM
2 2 1 7 GND層
2 2 1 8 ピン (ボール)

【書類名】

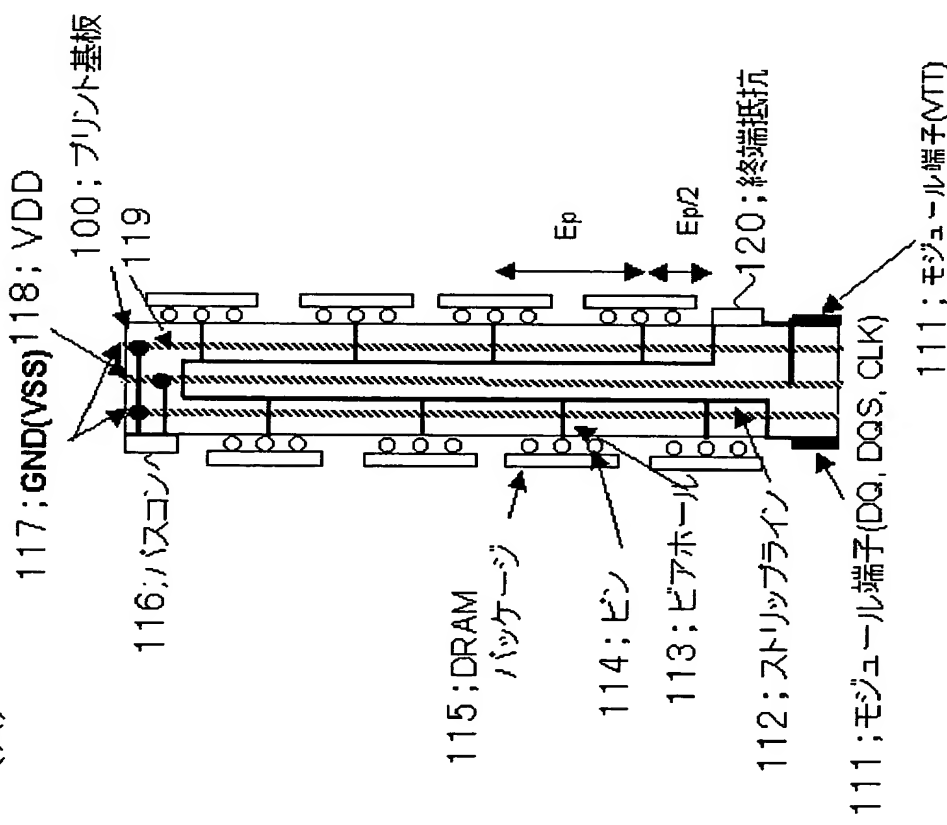
図面

【図 1】

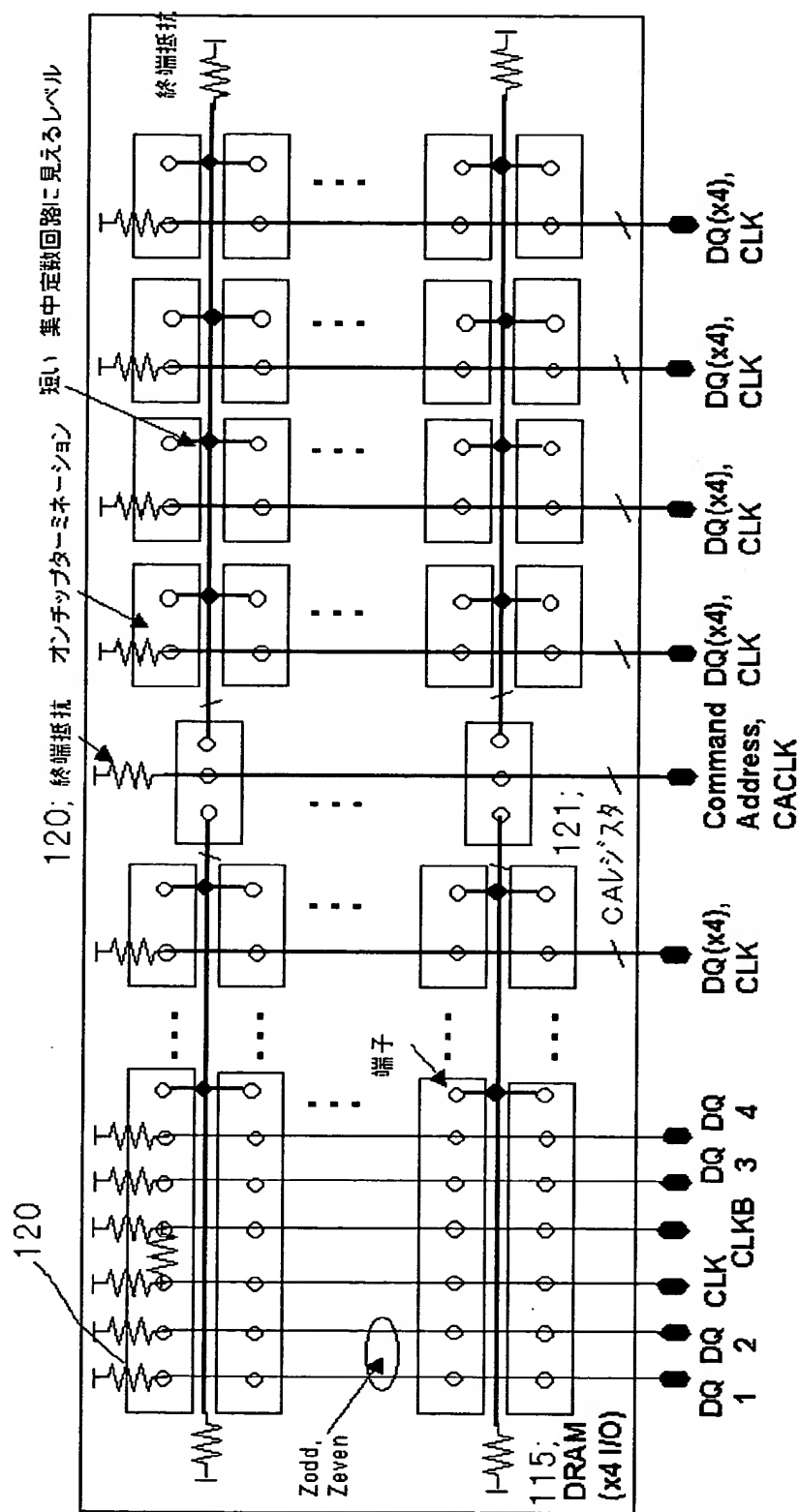
(B)



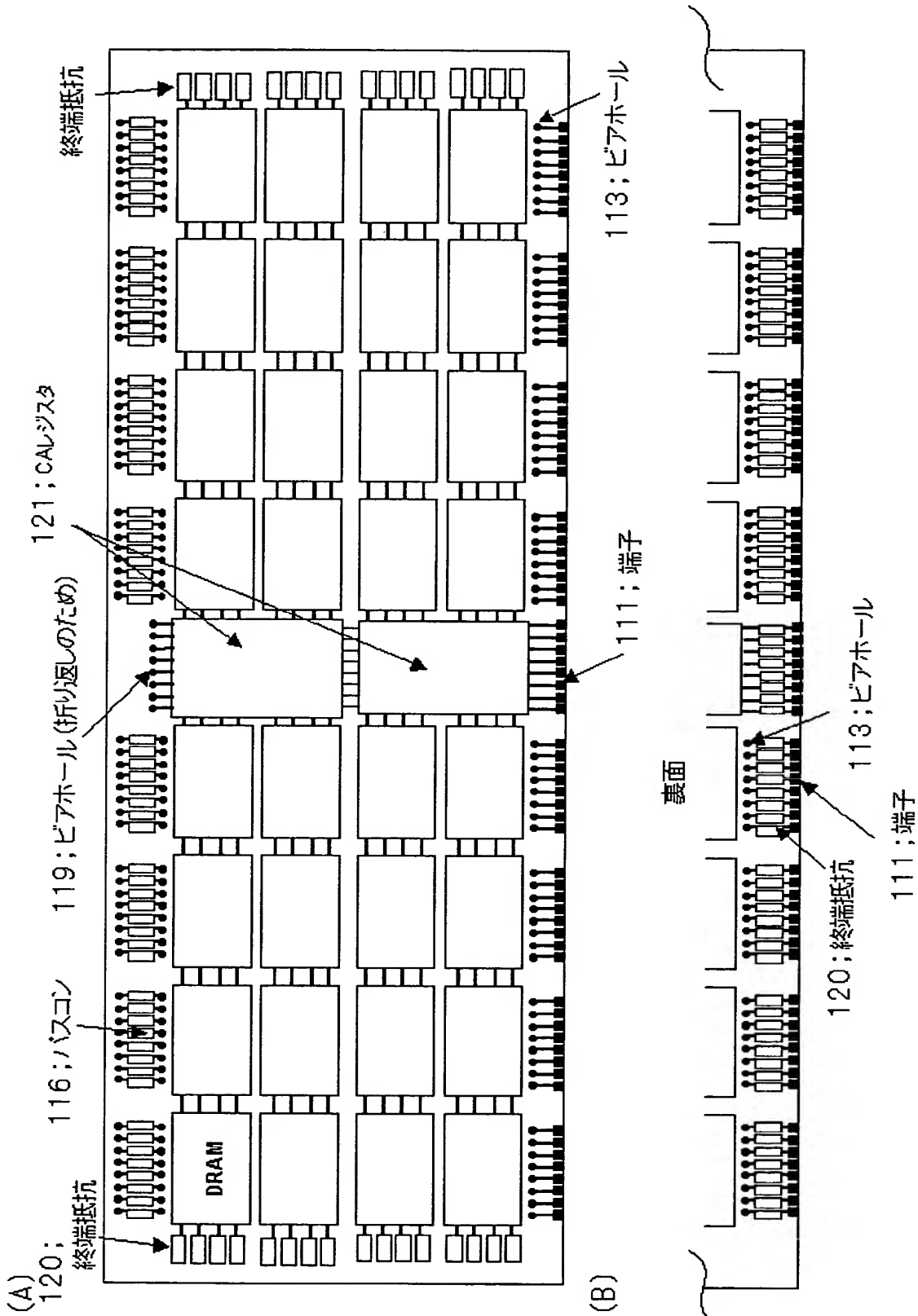
(A)



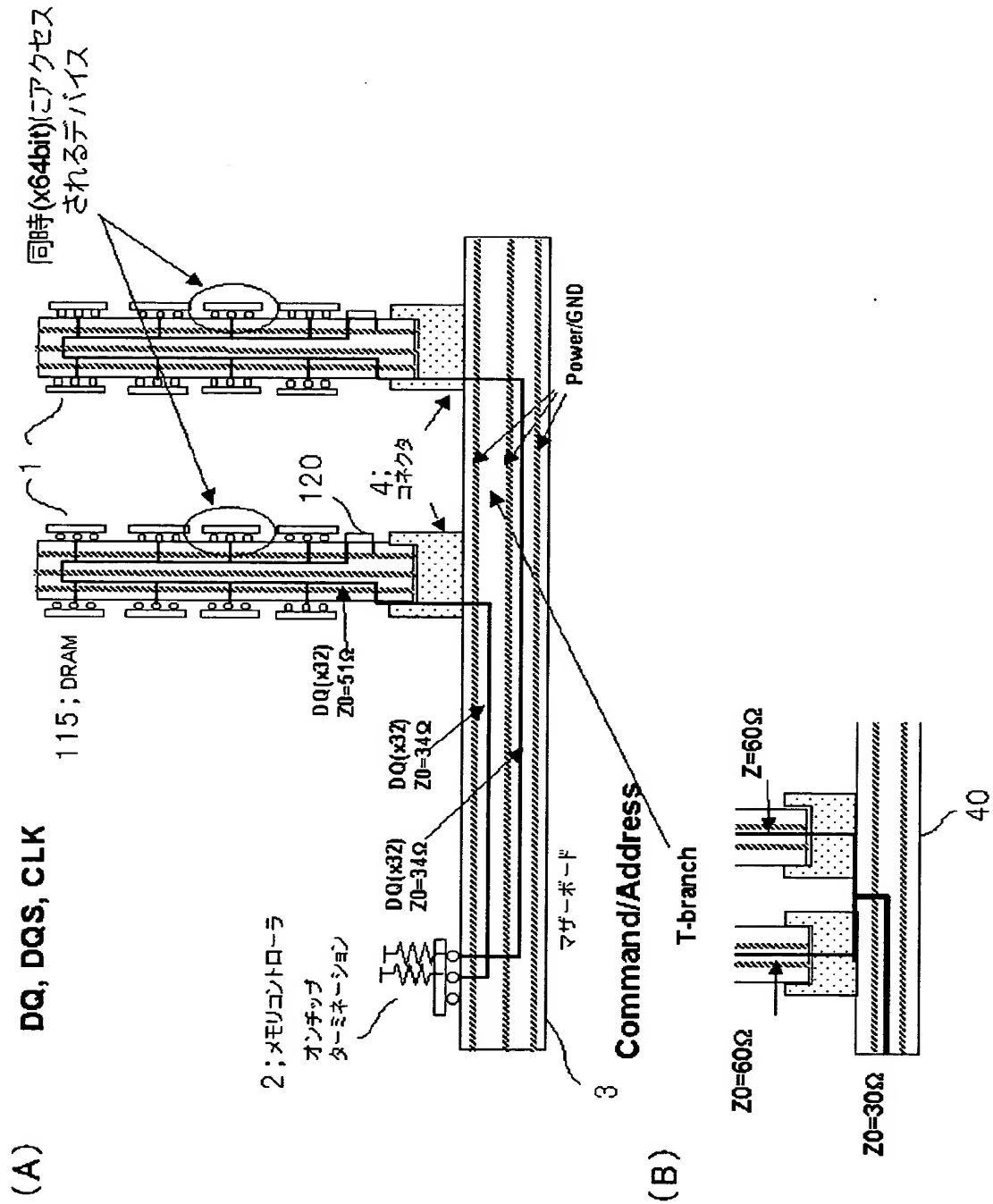
【図 2】



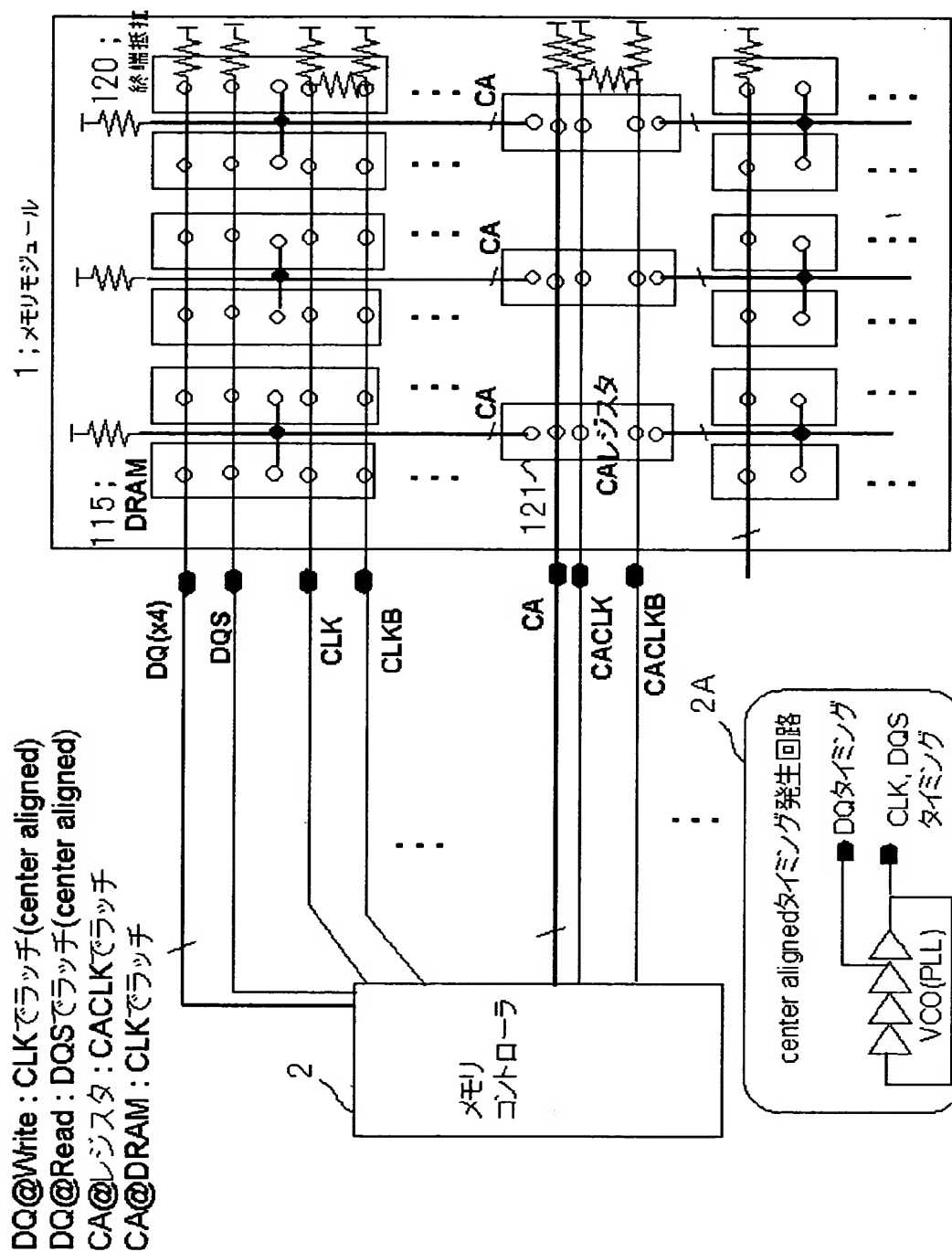
【図 3】



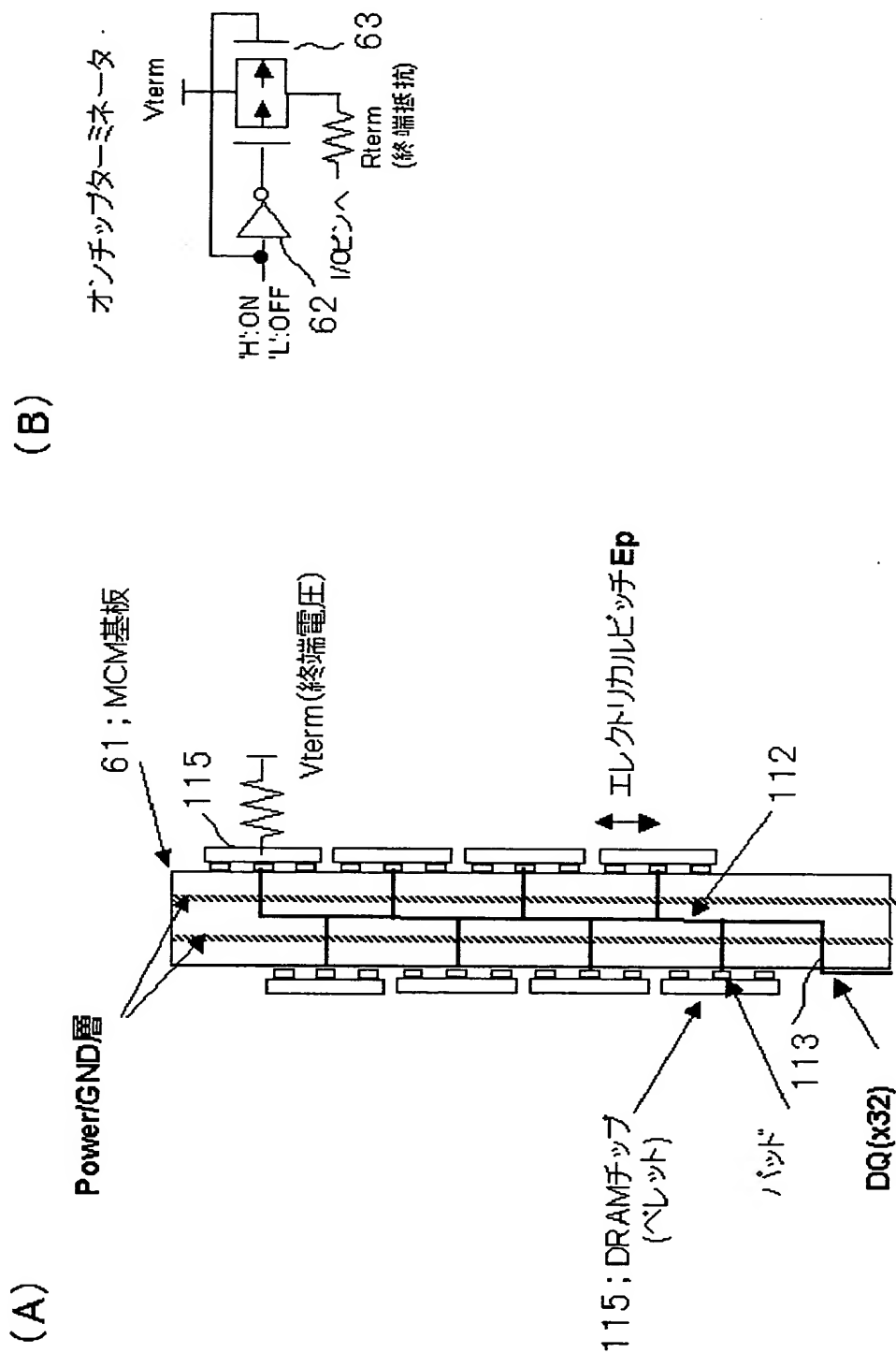
【図 4】



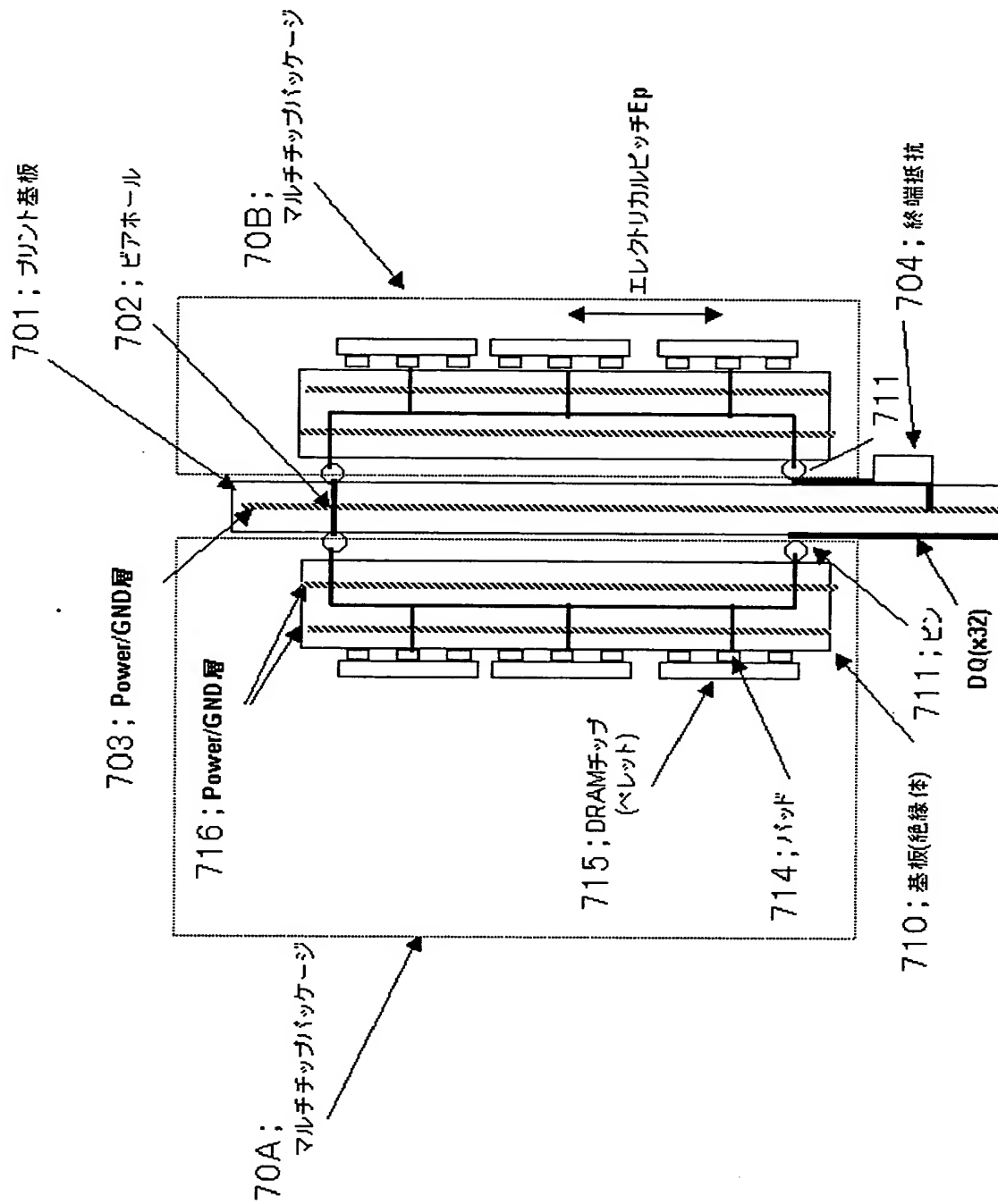
【図 5】



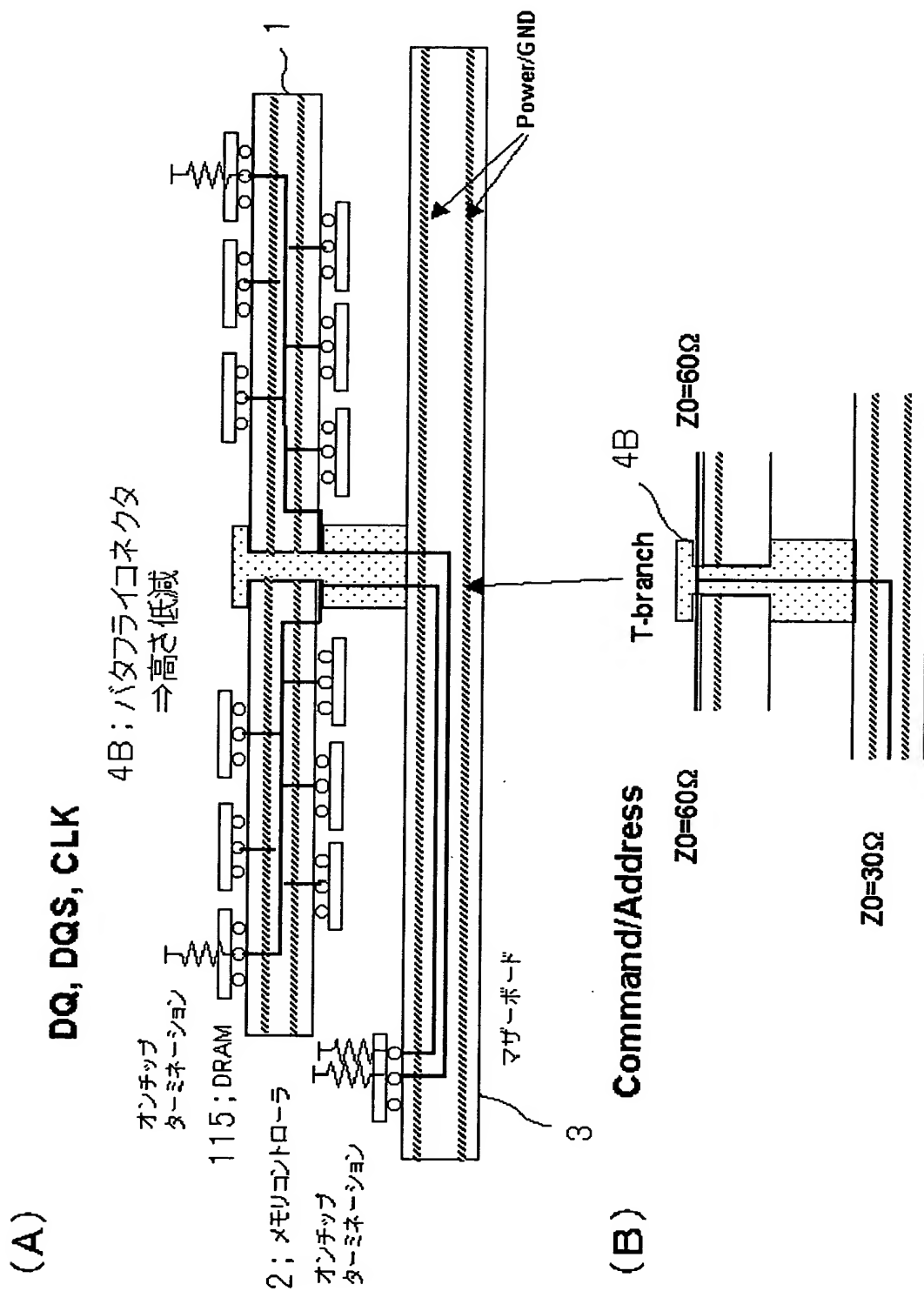
【図 6】



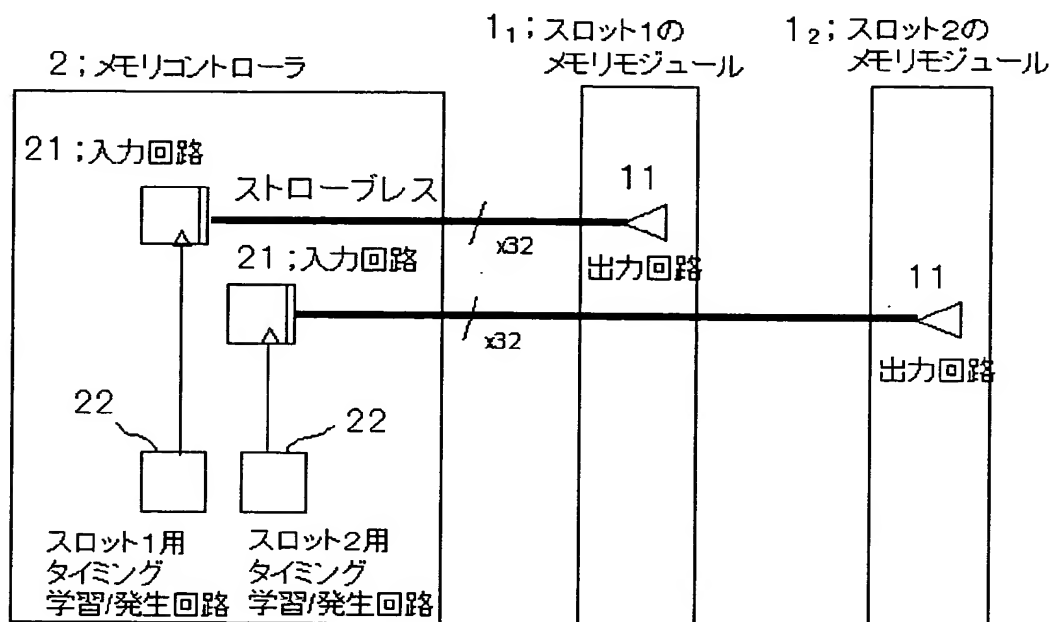
【図7】



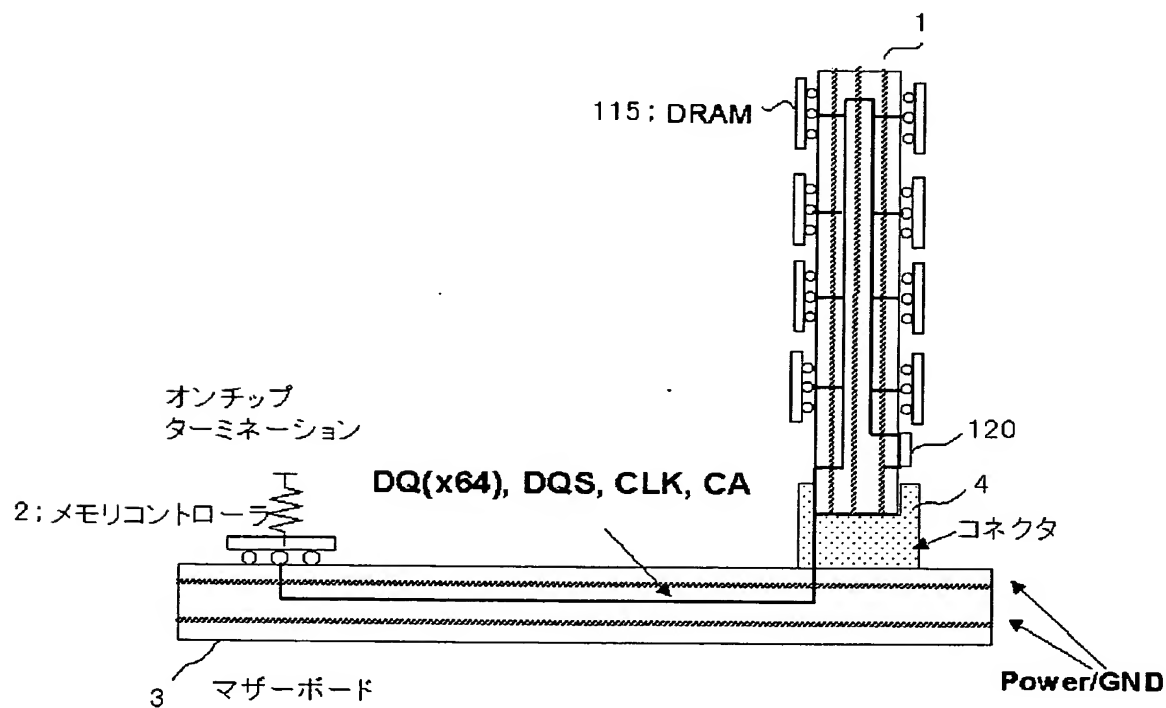
【図 8】



【図 9】

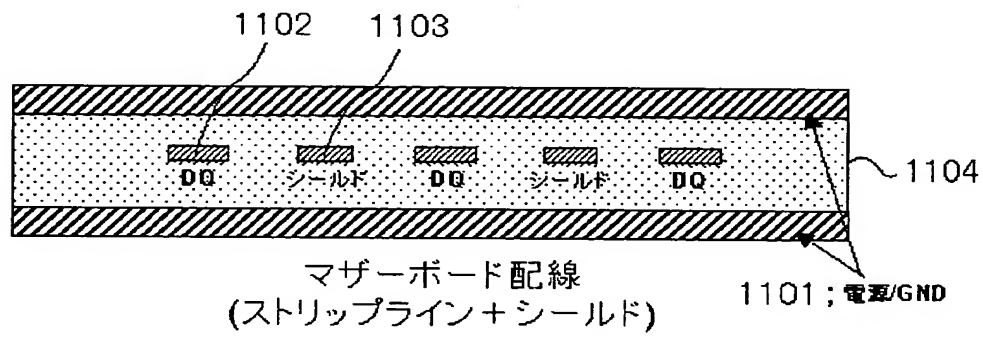


【図 10】

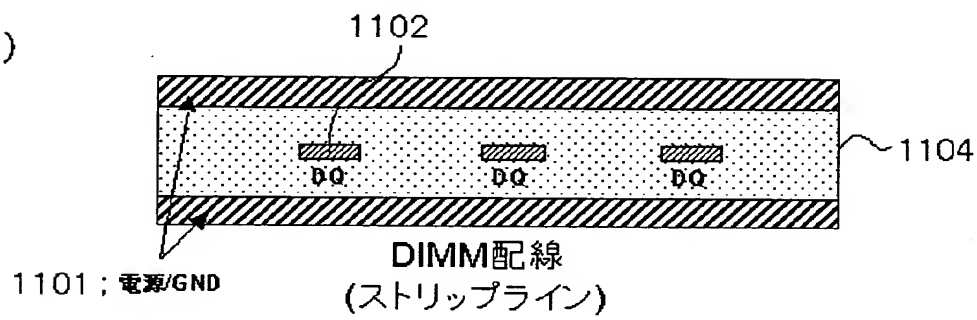


【図 1 1】

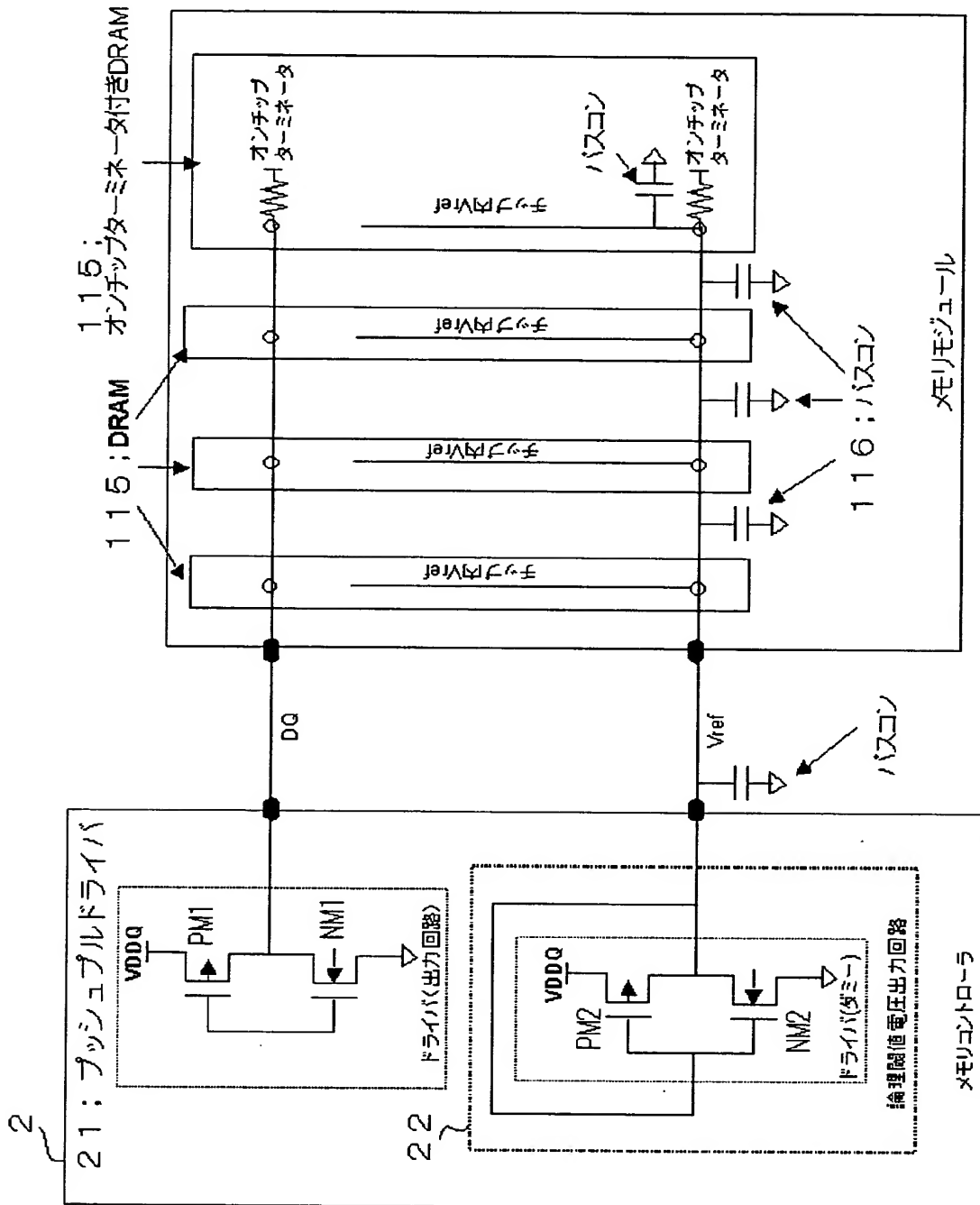
(A)



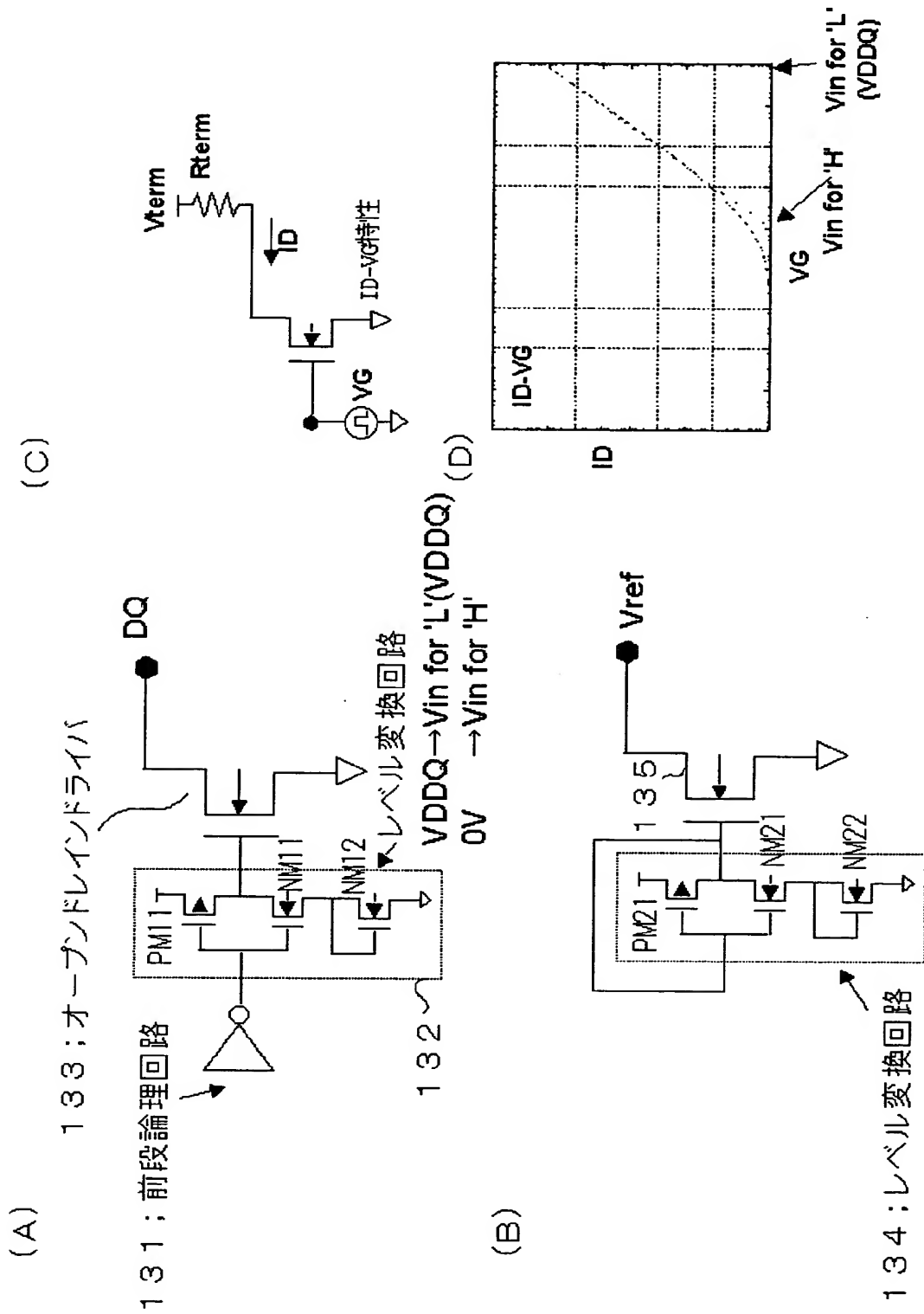
(B)



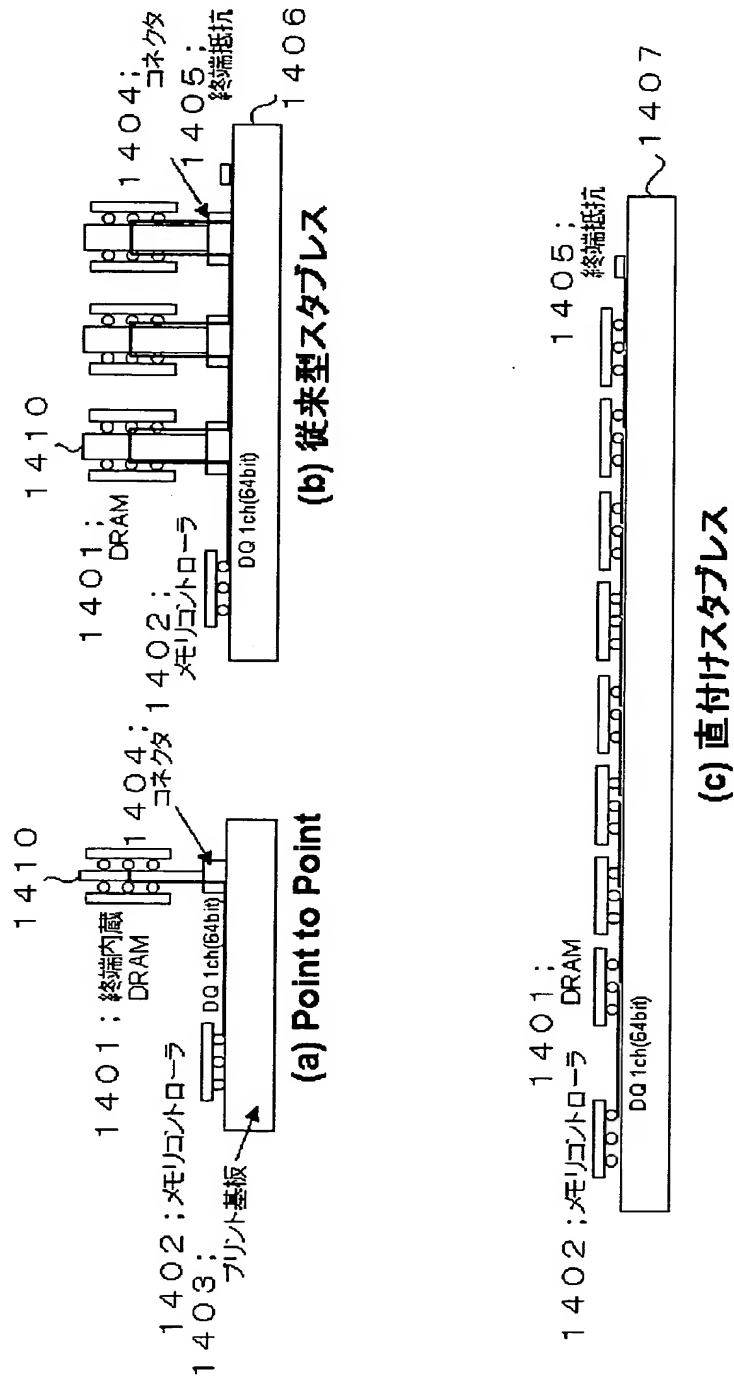
【図 12】



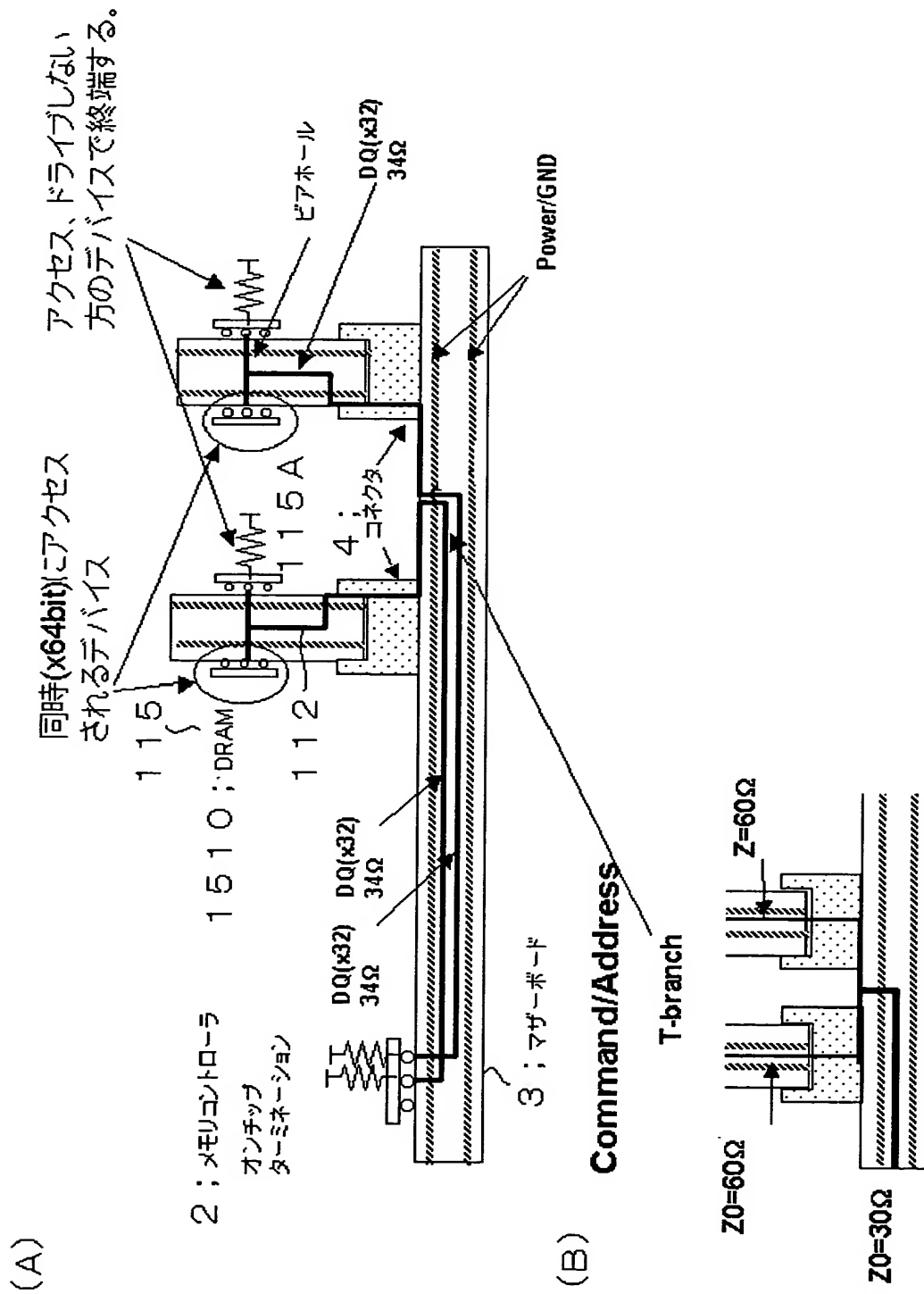
【図 13】



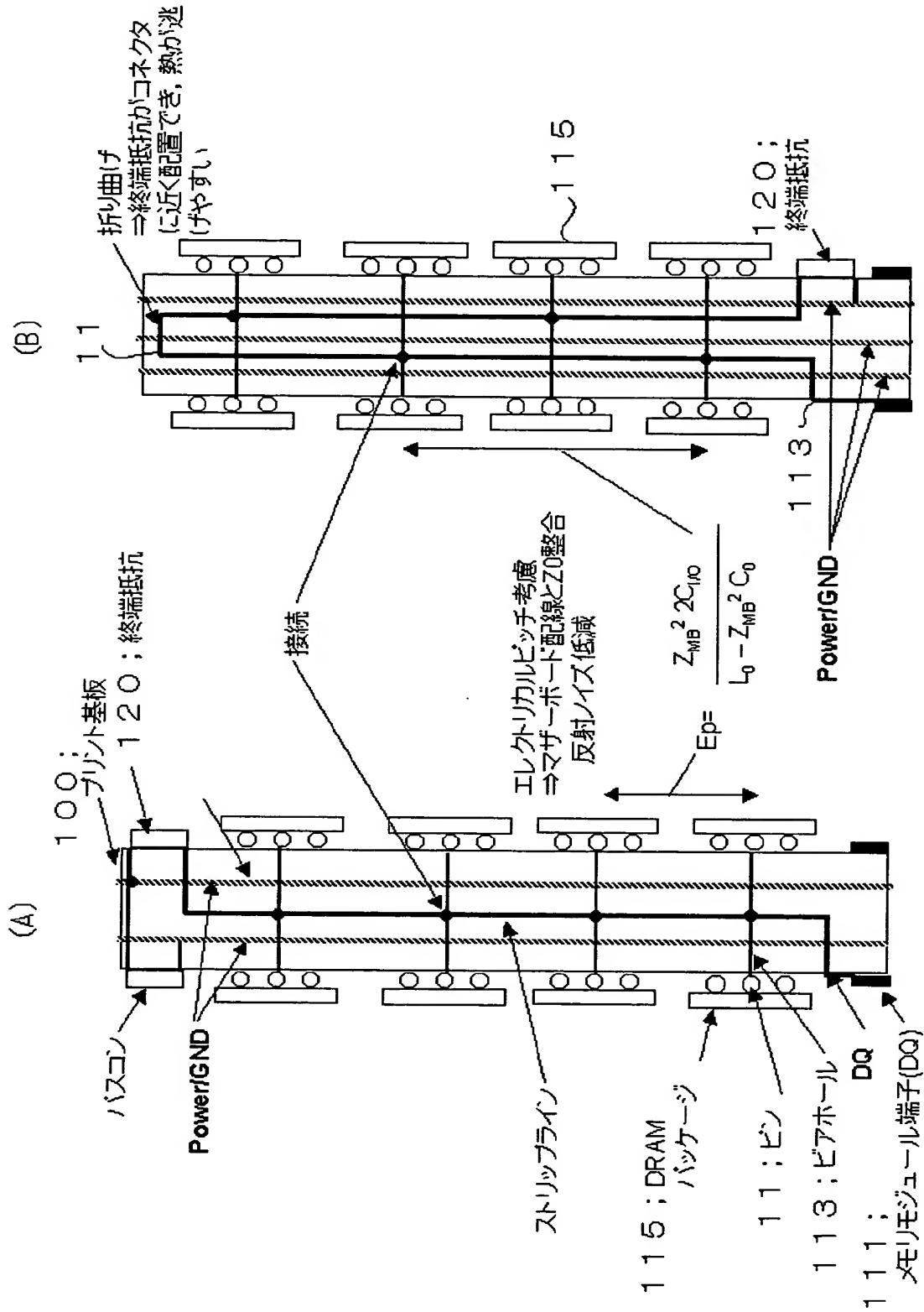
【図 1 4】



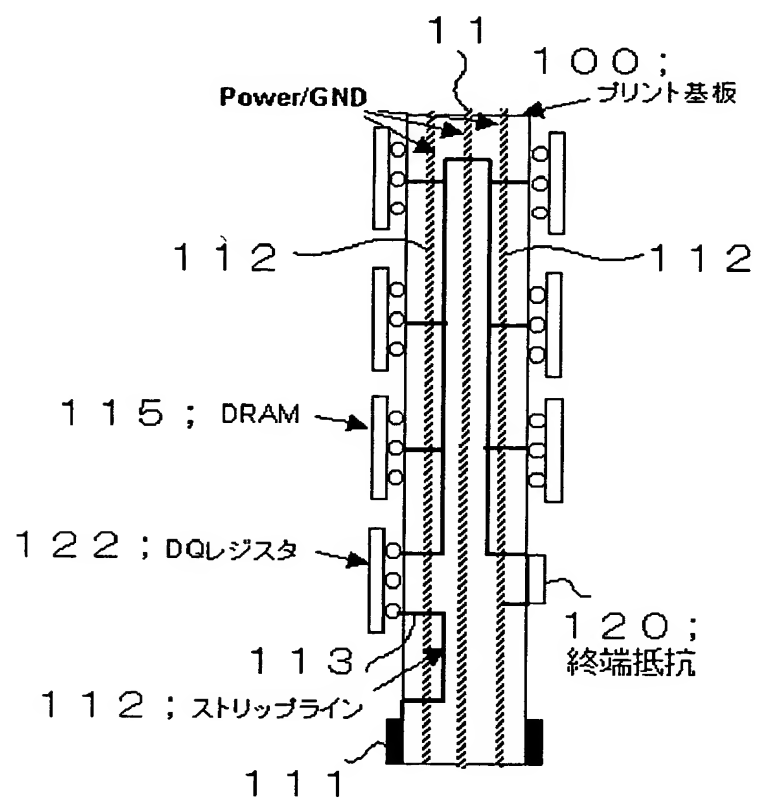
【図 15】



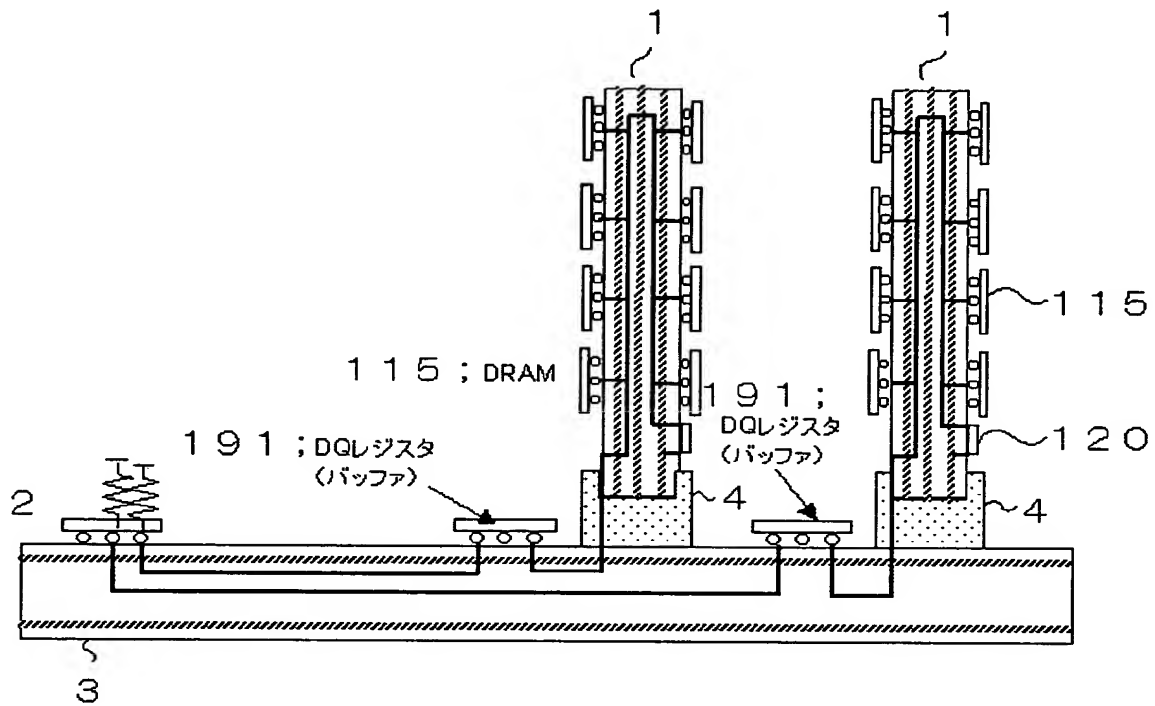
【図 16】



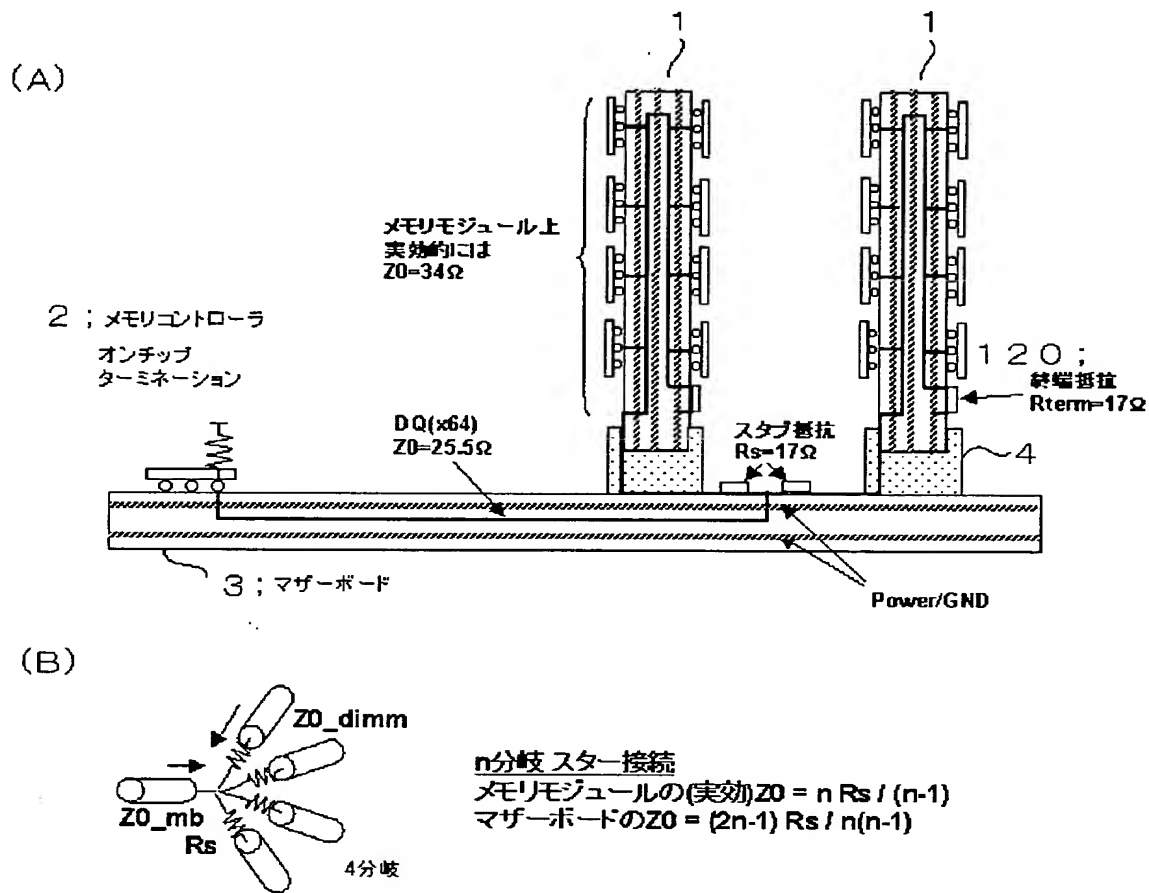
【図 17】



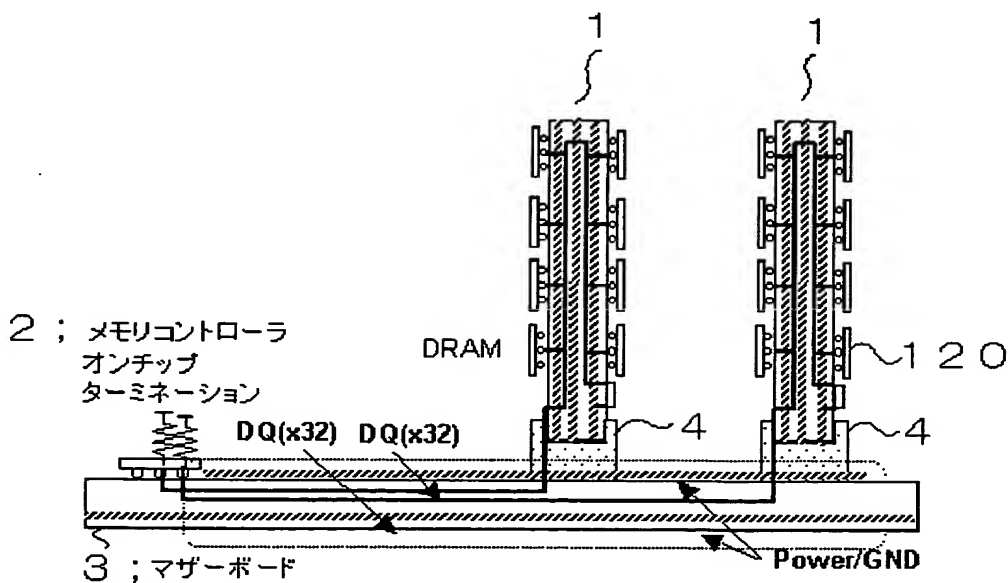
【図 1 8】



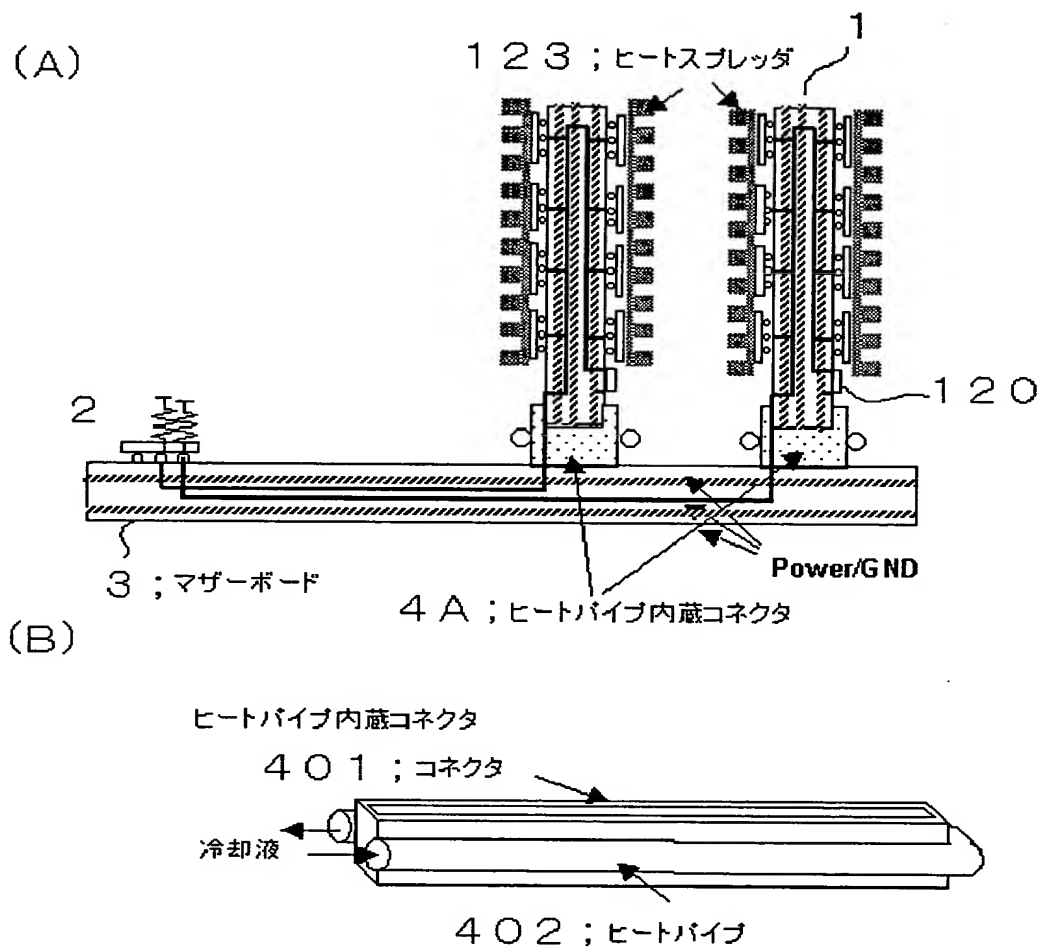
【図 19】



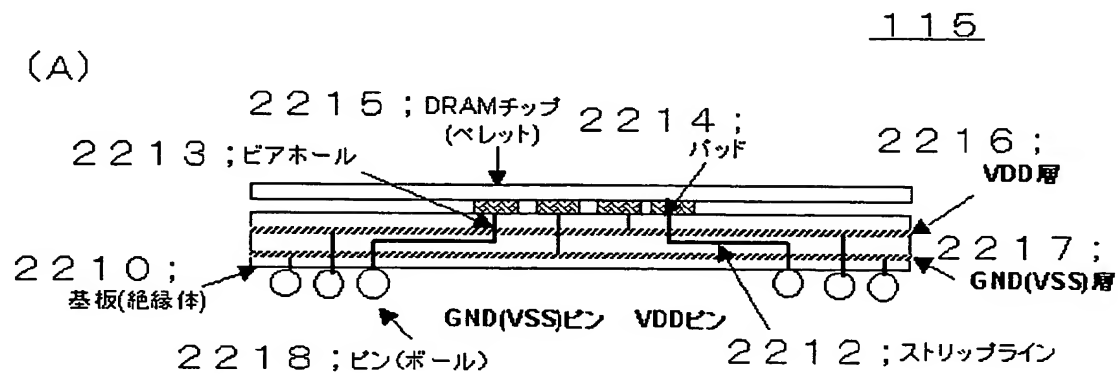
【図 20】



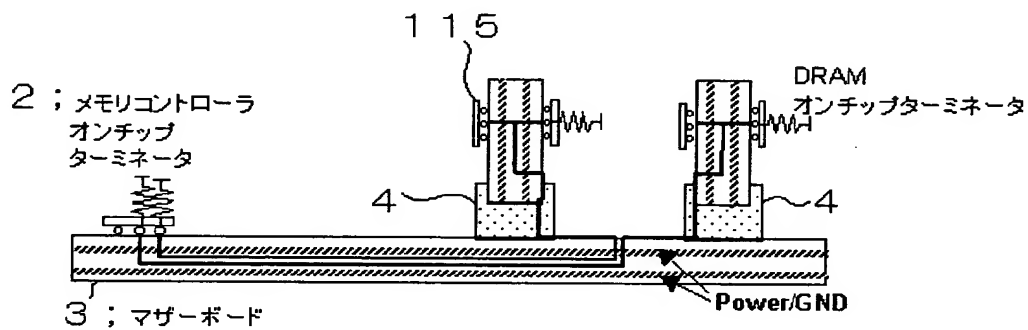
【図 2 1】



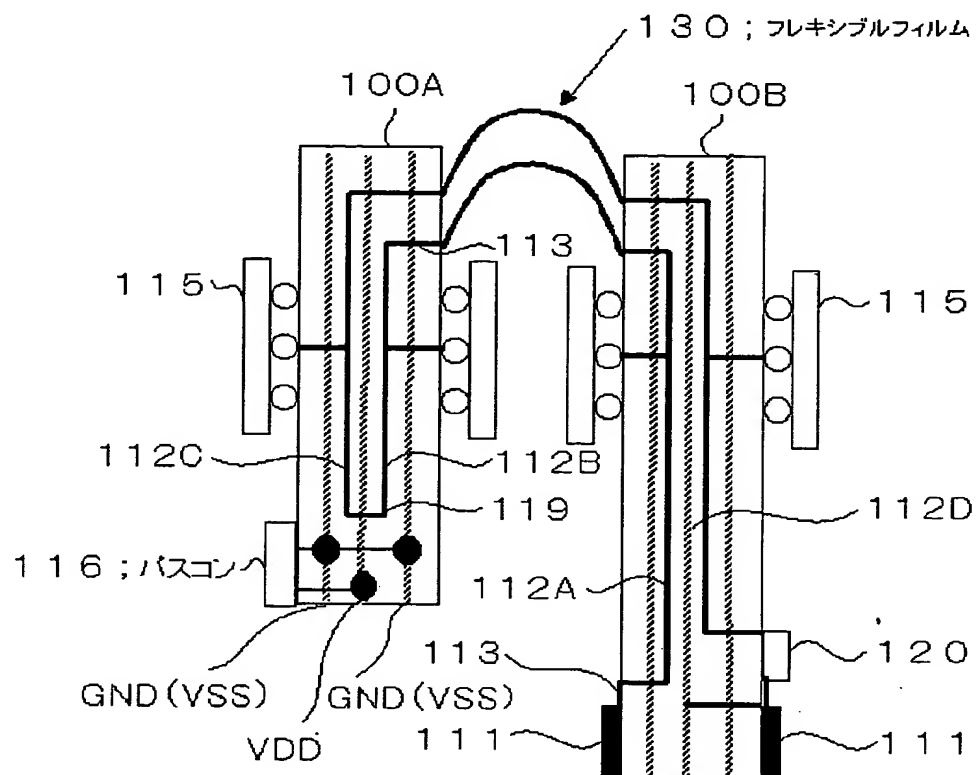
【図 22】



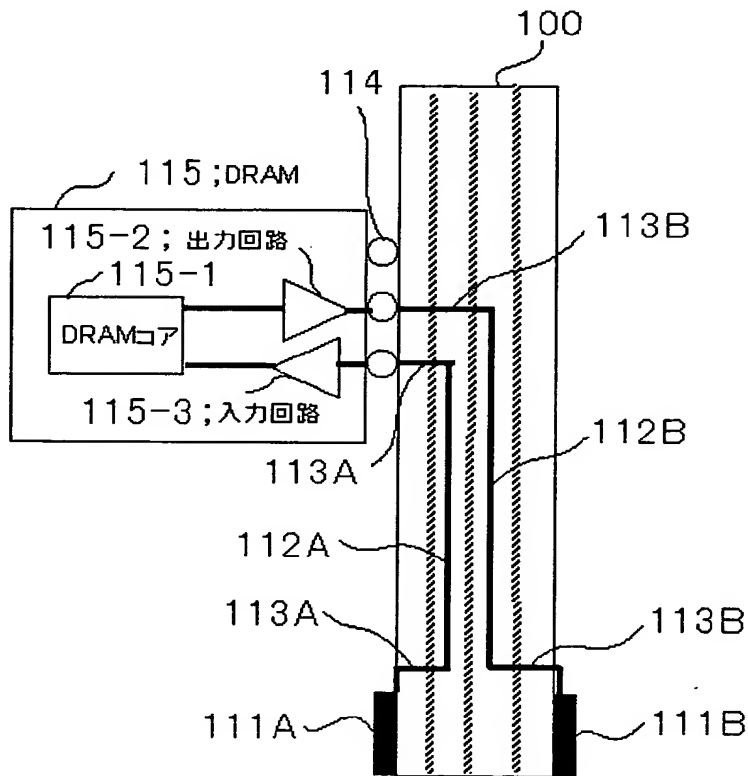
(B)



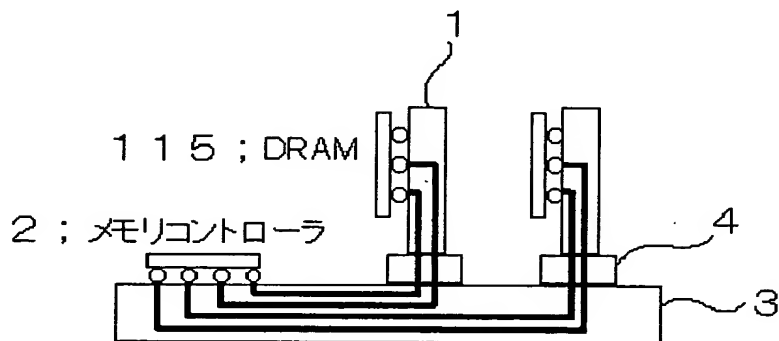
【図 23】



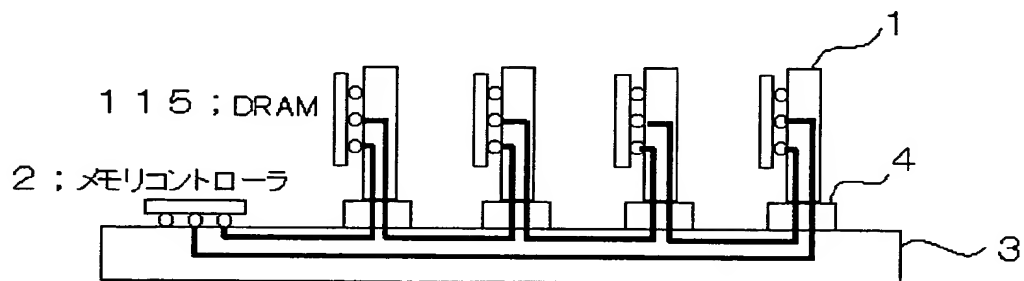
【図 2 4】



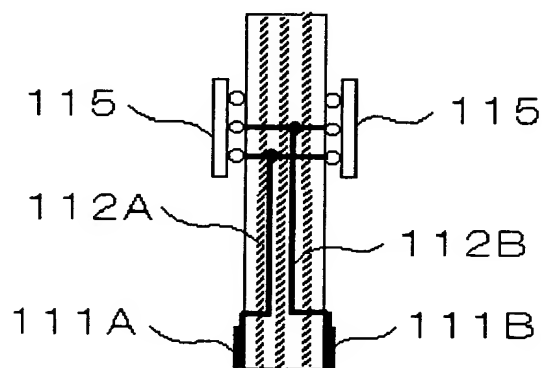
【図 2 5】



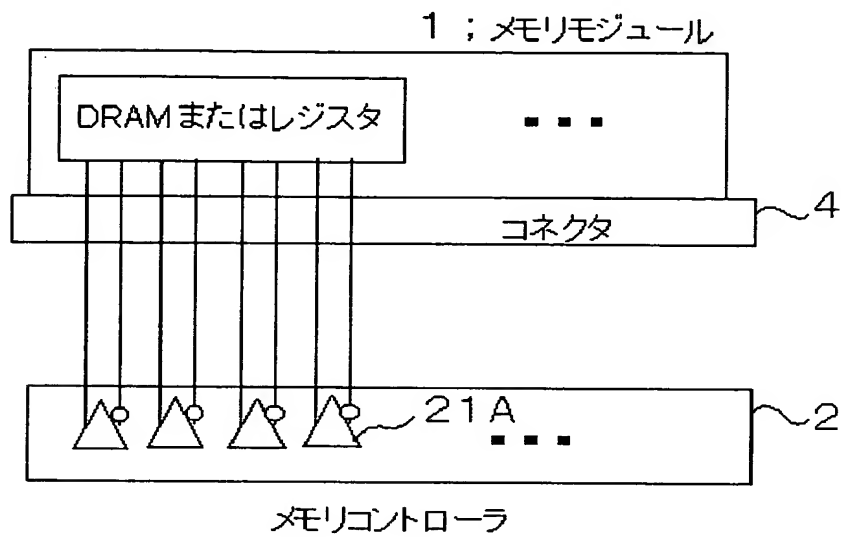
【図 2 6】



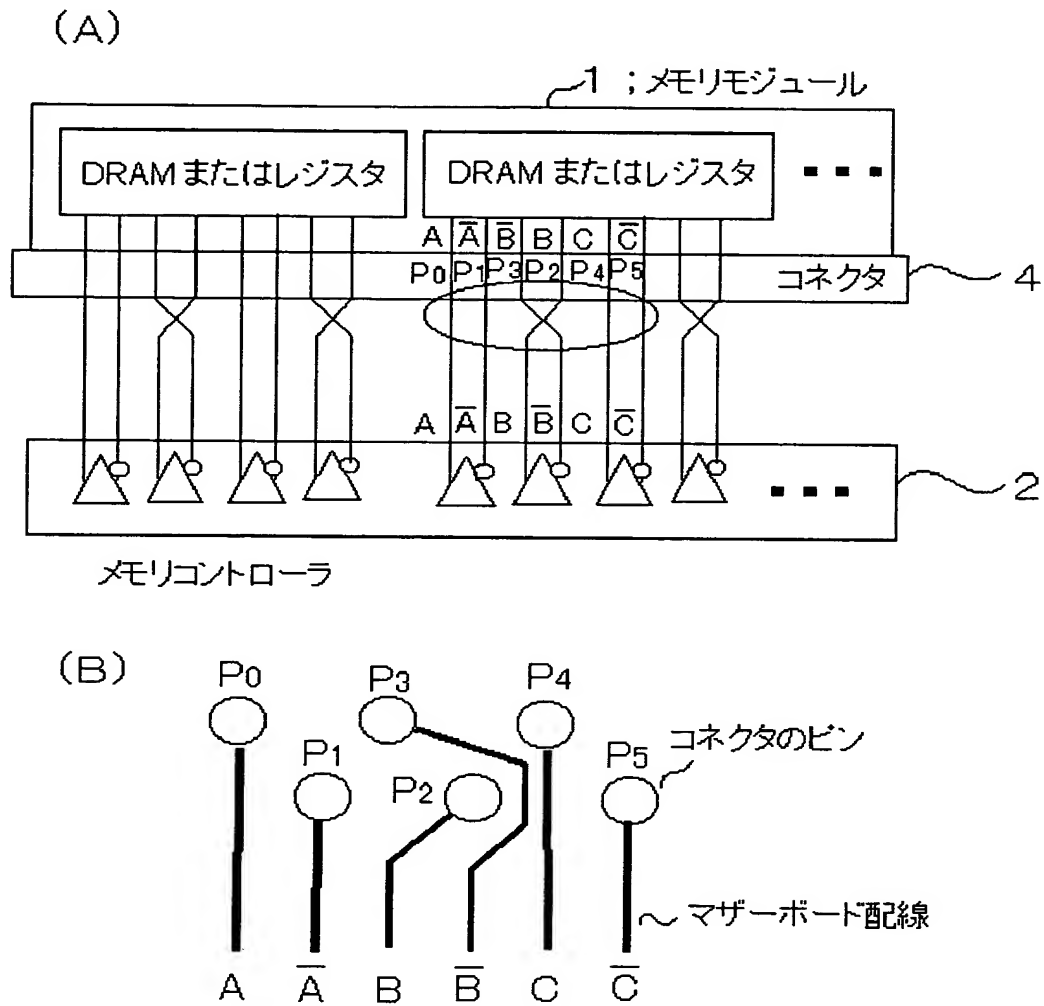
【図 2 7】



【図 2 8】



【図 2 9】



【書類名】 要約書

【要約】

【課題】

メモリ増設等メモリ容量の変更を可能とし、高速信号伝送、大容量メモリ搭載を可能とするメモリモジュール及びメモリシステムの提供。

【解決手段】

基板の表面及び裏面にバスラインを共有する複数のDRAM(115)を有し、バスラインは端子(111)からビアホール(113)でストリップライン(112)の一端に接続され、該ストリップライン他端が折返し用のビアホール(119)を介して他の層のストリップラインに接続され、終端電圧端子(VTT)に近接して配置された終端抵抗(120)を有し、終端抵抗は折り返された他の層のストリップラインにビアホールで接続され、DRAMの端子はストリップラインにビアホールで接続されるメモリモジュールを、メモリコントローラを有するマザーボード上にコネクタを介して装着する構成とされ、バスラインの実効的特性インピーダンスを、マザーボードの配線の実効的特性インピーダンスと整合させている。

【選択図】

図 1

出 願 人 履 歴 情 報

識別番号 [500174247]

1. 変更年月日 2000年 7月12日
[変更理由] 名称変更
住 所 東京都中央区八重洲2-2-1
氏 名 エルピーダメモリ株式会社